

**Family list****8 family members for:****JP2002082653**

Derived from 5 applications.

- 1 Drive method, drive circuit for electrooptics device and electrooptics device and its electronic instrument**  
Publication Info: **CN1231884C C** - 2005-12-14  
**CN1342966 A** - 2002-04-03
- 2 Method and circuit for driving electro-optical device, electro-optical device, and electronic apparatus**  
Publication Info: **EP1187090 A2** - 2002-03-13  
**EP1187090 A3** - 2003-03-26
- 3 DRIVING METHOD AND DRIVING CIRCUIT FOR OPTOELECTRONIC DEVICE, OPTOELECTRONIC DEVICE, AND ELECTRONIC EQUIPMENT**  
Publication Info: **JP3664059B2 B2** - 2005-06-22  
**JP2002082653 A** - 2002-03-22
- 4 Driving method and driving circuit for optoelectronic device, optoelectronic device, and electronic equipment**  
Publication Info: **TW514862B B** - 2002-12-21
- 5 Method and circuit for driving electro-optical device, electro-optical device, and electronic apparatus**  
Publication Info: **US2002036611 A1** - 2002-03-28

---

Data supplied from the *esp@cenet* database - Worldwide

# DRIVING METHOD AND DRIVING CIRCUIT FOR OPTOELECTRONIC DEVICE, OPTOELECTRONIC DEVICE, AND ELECTRONIC EQUIPMENT

Patent number: JP2002082653

Publication date: 2002-03-22

Inventor: ISHII MAKOTO

Applicant: SEIKO EPSON CORP

Classification:

- international: G02F1/133; G09G3/20; G09G3/36; G02F1/13;  
G09G3/20; G09G3/36; (IPC1-7): G09G3/36; G02F1/133;  
G09G3/20

- european: G09G3/36C8M

Application number: JP20000270424 20000906

Priority number(s): JP20000270424 20000906

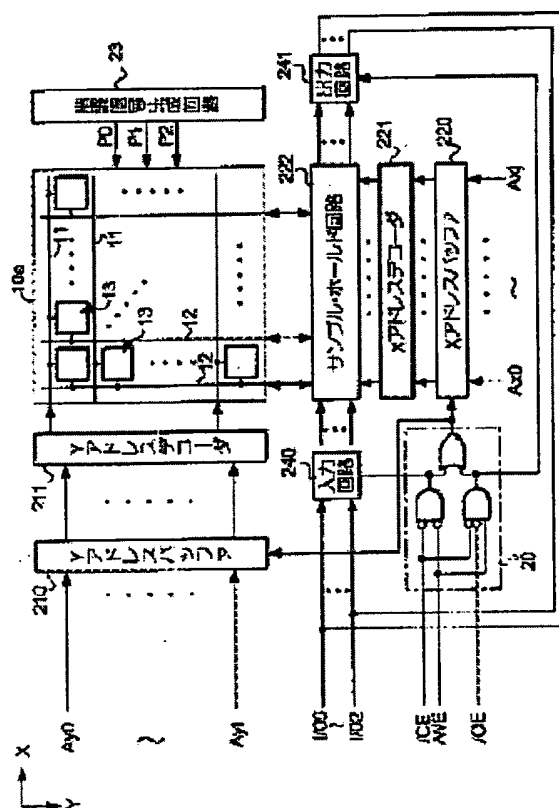
Also published as:

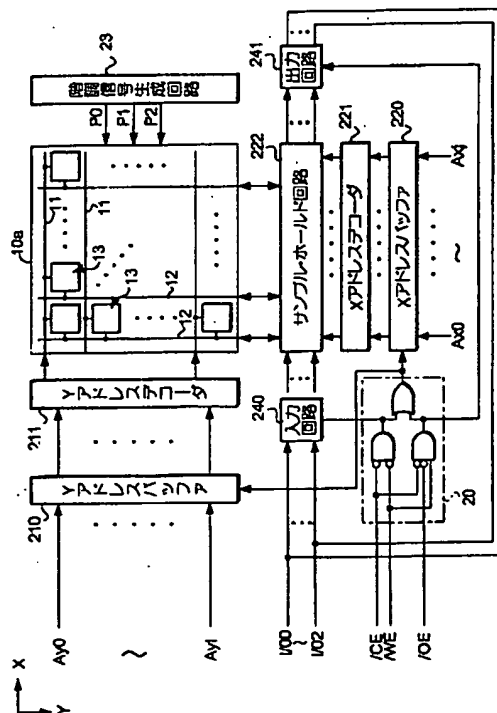
EP1187090 (A2)  
US7088325 (B2)  
US2002036611 (A)  
EP1187090 (A3)  
CN1231884C (C)

Report a data error he

## Abstract of JP2002082653

**PROBLEM TO BE SOLVED:** To provide an optoelectronic device capable of realizing high-quality and high-definition gray shades display with a low power consumption, and to provide its driving method and electronic equipment using the device. **SOLUTION:** The optoelectronic device is provided with plural pixels. Each pixel is provided with a pixel electrode, a memory for storing gray level data and a pulse width control circuit for applying a voltage making the pixel in an ON state or a voltage making the pixel in an OFF state with a time density in accordance with the gray level data written in the memory to the pixel electrode. In the optoelectronic device, the gray shades display using effective value control can be realized by making respective pixels in ON states or in OFF states. Moreover, since it is enough to write the gray level data only into memories of pixels whose gray level data written in their memories are to be changed among plural pixels, the gray shades display can be realized with a low power consumption.





## 【特許請求の範囲】

【請求項 1】 各々が  $k$  ( $k = 1, 2, 3, \dots$  の自然数) ビットのメモリを有する複数の画素を備え、 $k$  ビットの階調データに応じて  $k$  ビットの階調表示を行う電気光学装置の駆動方法であって、

前記画素のメモリに前記階調データを書き込み、

前記メモリに書き込まれた階調データと、 $k$  ビットの階調信号とから、前記階調データに応じた時間密度を有するパルス信号を生成し、

前記パルス信号に応じて、画素をオン状態にする電圧または画素をオフ状態にする電圧を前記画素に印加することを特徴とする電気光学装置の駆動方法。

【請求項 2】 前記  $k$  ビットの階調信号は、各ビットの選択期間がそれぞれ  $2^0, 2^1, 2^2, \dots, 2^{k-1}$  の階調表示を可能とする時間密度に設定されることを特徴とする請求項 1 記載の電気光学装置の駆動方法。

【請求項 3】 前記階調データに応じて、前記階調信号の対応するビットの階調信号を選択し、選択された各階調信号の選択期間を合成することにより前記パルス信号を生成し、

前記パルス信号に応じて、画素をオン状態にする電圧または画素をオフ状態にする電圧のいずれかを前記画素電極に印加することを特徴とする請求項 1 乃至 2 いずれか記載の電気光学装置の駆動方法。

【請求項 4】 前記  $k$  ビットの階調信号は、 $k$  ビットのカウンタの出力信号であり、前記出力信号が示すカウンタ値の各々が維持される期間は、 $k$  ビットの階調表示を可能とする時間密度に設定されることを特徴とする請求項 1 記載の電気光学装置の駆動方法。

【請求項 5】 前記  $k$  ビットの階調データと前記階調信号の  $k$  ビットのカウンタ値とを比較し、比較結果に応じて前記パルス信号を生成し、

前記パルス信号に応じて、画素をオン状態にする電圧または画素をオフ状態にする電圧のいずれかを前記画素電極に印加することを特徴とする請求項 1 または 4 いずれか記載の電気光学装置の駆動方法。

【請求項 6】 前記階調信号が所定の値をとる期間は、前記階調データの値にかかわらず前記画素がオフとなることを特徴とする請求項 1 乃至 5 いずれか記載の電気光学装置の駆動方法。

【請求項 7】 前記画素は、画素電極と、前記画素電極に対向し、所定周期でレベル反転を繰り返す基準電圧が印加される対向電極とを備え、  
前記パルス信号に応じて画素をオン状態にする場合、前記基準電圧のレベル変化とは逆のレベル変化をする電圧を前記画素電極に印加する一方、画素をオフ状態にする場合、前記基準電圧のレベル変化に対応したレベル変化をする電圧を前記画素電極に印加することを特徴とする請求項 1 乃至 6 いずれか記載の電気光学装置の駆動方法。

【請求項 8】 前記画素は、画素電極と、前記画素電極に対向し、一定の基準電圧が印加される対向電極とを備え、

前記パルス信号に応じて画素をオフ状態にする場合、前記基準電圧と同一の電圧を前記画素電極に印加する一方、画素をオン状態にする場合、前記基準電圧よりも高い第 1 電圧または前記基準電圧よりも低い第 2 電圧のいずれかを所定周期で切換えて前記画素電極に印加することを特徴とする請求項 1 乃至 6 いずれか記載の電気光学装置の駆動方法。

【請求項 9】 前記所定周期は、各フィールドの周期とは異なることを特徴とする請求項 7 乃至 8 いずれか記載の電気光学装置の駆動方法。

【請求項 10】 前記複数の画素のうち、前記メモリに記憶された階調データを変更すべき画素のメモリに対してのみ前記階調データを書き込むことを特徴とする請求項 1 乃至 9 いずれか記載の電気光学装置の駆動方法。

【請求項 11】  $k$  ( $k = 1, 2, 3, \dots$  の自然数) 本の列選択線からなる複数の列選択線群と、複数の行選択線と、前記列選択線群と前記行選択線との各交差に対応して設けられ、 $k$  ビットの階調データを記憶する  $k$  ビットのメモリを有する画素とを備え、前記メモリに書き込まれた階調データと、 $k$  ビットの階調信号とから、前記階調データに応じた時間密度を有するパルス信号を生成し、このパルス信号に応じて、画素をオン状態にする電圧または画素をオフ状態にする電圧を前記画素に印加する電気光学装置の駆動回路であって、  
前記階調データの書き込み対象となる画素に対応する行選択線に対し、選択信号を供給する行選択線駆動回路と、

前記行選択線に選択信号が供給されている間に、前記階調データの書き込み対象となる画素に対応した列選択線群を構成する各列選択線に対して、前記階調データの各ビットに対応する信号を供給する列選択線駆動回路とを具備することを特徴とする電気光学装置の駆動回路。

【請求項 12】 前記階調信号を生成する階調信号生成回路を有することを特徴とする請求項 11 記載の電気光学装置の駆動回路。

【請求項 13】 前記  $k$  ビットの階調信号は、各ビットの選択期間がそれぞれ  $2^0, 2^1, 2^2, \dots, 2^{k-1}$  の階調表示を可能とする時間密度に設定されることを特徴とする請求項 11 または 12 記載の電気光学装置の駆動回路。

【請求項 14】 前記  $k$  ビットの階調信号は、 $k$  ビットのカウンタの出力信号であり、前記出力信号が示すカウンタ値の各々が維持される期間は、 $k$  ビットの階調表示を可能とする時間密度に設定されることを特徴とする請求項 11 乃至 13 いずれか記載の電気光学装置の駆動回路。

【請求項 15】 前記階調信号が所定の値をとる期間

は、前記階調データの値にかかわらず前記画素がオフとなることを特徴とする請求項 1 1 乃至 1 4 いずれか記載の電気光学装置の駆動回路。

【請求項 1 6】 前記行選択線駆動回路は、前記画素が形成される所定の基板に形成されることを特徴とする請求項 1 1 乃至 1 5 いずれか記載の電気光学装置の駆動回路。

【請求項 1 7】 前記列選択線駆動回路は、前記画素が形成される所定の基板に形成されることを特徴とする請求項 1 1 乃至 1 6 いずれか記載の電気光学装置の駆動回路。

【請求項 1 8】 前記複数の画素のうち、前記メモリに記憶された階調データを変更すべき画素のメモリに対してのみ階調データを書き込む書込回路を具備することを特徴とする請求項 1 1 乃至 1 7 いずれか記載の電気光学装置の駆動回路。

【請求項 1 9】 前記画素のメモリに記憶された階調データを読み出す読出回路を具備することを特徴とする請求項 1 1 乃至 1 8 いずれか記載の電気光学装置の駆動回路。

【請求項 2 0】 複数の画素を有し、 $k$  ( $k=1, 2, 3, \dots$  の自然数) ビットの階調データに応じて  $k$  ビットの階調表示を行う電気光学装置であって、 $k$  本の列選択線からなる複数の列選択線群と、複数の行選択線と、

前記列選択線群と前記行選択線との各交差に対応して設けられ、画素電極と、前記  $k$  ビットの階調データを記憶する  $k$  ビットのメモリと、前記メモリに書き込まれた階調データと、 $k$  ビットの階調信号とから、前記階調データに応じた時間密度を有するパルス信号を生成し、このパルス信号に応じて、画素をオン状態にする電圧または画素をオフ状態にする電圧のいずれかを前記画素電極に印加する画素駆動回路とを有する複数の画素と、前記階調データの書き込み対象となる画素に対応する行選択線に対し、選択信号を供給する行選択線駆動回路と、

前記行選択線に選択信号が供給されている間に、前記階調データの書き込み対象となる画素に対応した列選択線群を構成する各列選択線に対して、前記階調データを供給する列選択線駆動回路とを具備することを特徴とする電気光学装置。

【請求項 2 1】 前記メモリは、前記選択信号によって導通状態となるスイッチング素子と、前記スイッチング素子が導通状態となると、対応する列選択線に供給される前記階調データを書き込み、前記スイッチング素子が非導通状態となると、書き込まれた階調データを保持する互いに一方のインパータの出力が他方のインパータの入力となっている 2 つのインパータとを具備することを特徴とする請求項 2 0 記載の電気光学

装置。

【請求項 2 2】 前記階調信号を生成する階調信号生成回路を有することを特徴とする請求項 2 0 乃至 2 1 いずれか記載の電気光学装置。

【請求項 2 3】 前記  $k$  ビットの階調信号は、各ビットの選択期間がそれぞれ  $2^0, 2^1, 2^2, \dots, 2^{k-1}$  の階調表示を可能とする時間密度に設定されることを特徴とする請求項 2 0 乃至 2 2 いずれか記載の電気光学装置。

【請求項 2 4】 前記画素駆動回路は、前記階調データに応じて、前記階調信号の対応するビットの階調信号を選択し、選択された各階調信号の選択期間を合成することにより前記パルス信号を生成するパルス幅制御回路と、

前記パルス幅制御回路により生成されたパルス信号に応じて、画素をオン状態にする電圧または画素をオフ状態にする電圧のいずれかを前記画素電極に印加するスイッチング回路とを具備することを特徴とする請求項 2 0 乃至 2 3 いずれか記載の電気光学装置。

【請求項 2 5】 前記  $k$  ビットの階調信号は、 $k$  ビットのカウンタの出力信号であり、前記出力信号が示すカウンタ値の各々が維持される期間は、 $k$  ビットの階調表示を可能とする時間密度に設定されることを特徴とする請求項 2 0 乃至 2 2 いずれか記載の電気光学装置。

【請求項 2 6】 前記画素駆動回路は、前記  $k$  ビットの階調データと前記階調信号の  $k$  ビットのカウンタ値とを比較し、比較結果に応じて前記パルス信号を生成するパルス幅制御回路と、

前記パルス幅制御回路により生成されたパルス信号に応じて、画素をオン状態にする電圧または画素をオフ状態にする電圧のいずれかを前記画素電極に印加するスイッチング回路とを具備することを特徴とする請求項 2 0、2 1、2 2 または 2 5 記載の電気光学装置。

【請求項 2 7】 前記階調信号が所定の値をとる期間は、前記階調データの値にかかわらず前記画素がオフとなることを特徴とする請求項 2 0 乃至 2 6 いずれか記載の電気光学装置。

【請求項 2 8】 前記行選択線駆動回路は、前記画素が形成される所定の基板に形成されることを特徴とする請求項 2 0 乃至 2 7 いずれか記載の電気光学装置。

【請求項 2 9】 前記列選択線駆動回路は、前記画素が形成される所定の基板に形成されることを特徴とする請求項 2 0 乃至 2 8 いずれか記載の電気光学装置。

【請求項 3 0】 前記複数の画素のうち、前記メモリに記憶された階調データを変更すべき画素のメモリに対してのみ階調データを書き込む書込回路を具備することを特徴とする請求項 2 0 乃至 2 9 のいずれか記載の電気光学装置。

【請求項 3 1】 前記画素のメモリに記憶された階調データを読み出す読出回路を具備することを特徴とする請求項 2 0 乃至 3 0 いずれか記載の電気光学装置。

【請求項 3 2】 前記メモリおよび画素駆動回路はスイッチング素子を有し、

前記メモリおよび画素駆動回路のうちの少なくとも一方が有する前記スイッチング素子は絶縁基板上に形成された薄膜トランジスタからなることを特徴とする請求項 2 0 乃至 3 1 いずれか記載の電気光学装置。

【請求項 3 3】 前記メモリおよび画素駆動回路はスイッチング素子を有し、

前記メモリおよび画素駆動回路のうちの少なくとも一方が有する前記スイッチング素子は半導体基板上に形成されることを特徴とする請求項 2 0 乃至 3 1 いずれか記載の電気光学装置。

【請求項 3 4】 前記画素電極は反射性を有することを特徴とする請求項 2 0 乃至 3 3 いずれか記載の電気光学装置。

【請求項 3 5】 前記メモリおよび画素駆動回路のうちの少なくとも一方を、前記画素電極に対して観察側とは反対側に設けることを特徴とする請求項 2 0 乃至 3 4 いずれか記載の電気光学装置。

【請求項 3 6】 請求項 2 0 乃至 3 5 いずれか記載の電気光学装置を備えることを特徴とする電子機器。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】本発明は、階調表示が可能な電気光学装置、その駆動回路および駆動方法ならびに電子機器に関する。

【0 0 0 2】

【従来の技術】電気光学装置、例えば、電気光学材料として液晶を用いた液晶表示装置は、陰極線管（CRT）に代わるディスプレイデバイスとして、各種情報処理機器の表示部や壁掛けテレビなどに広く用いられている。

【0 0 0 3】ここで、従来の電気光学装置は、例えば、次のように構成されている。すなわち、従来の電気光学装置は、マトリクス状に配列した画素電極と、この画素電極に接続された TFT（Thin Film Transistor：薄膜トランジスタ）のようなスイッチング素子などが設けられた素子基板と、画素電極に対向する対向電極が形成された対向基板と、これら両基板との間に充填された電気光学材料たる液晶とから構成される。そして、このような構成において、走査線を介してスイッチング素子に走査信号を印加すると、前記スイッチング素子が導通状態となる。この導通状態の際に、データ線を介して画素電極に、階調に応じた電圧の画像信号を印加すると、前記画素電極および対向電極の間の液晶層に画像信号の電圧に応じた電荷が蓄積される。電荷蓄積後、前記スイッチング素子をオフ状態としても、前記液晶層における電荷の蓄積は、液晶層自身の容量性や蓄積容量などによって維持される。このように、各スイッチング素子を駆動させ、蓄積させる電荷量を階調に応じて制御すると、画素毎に液晶の配向状態が変化するので、画素毎に濃度が変

化することになる。このため、階調表示することが可能となるのである。

【0 0 0 4】この際、各画素の液晶層に電荷を蓄積させるのは一部の期間で良いため、第 1 に、走査線駆動回路によって、各走査線を順次選択するとともに、第 2 に、走査線の選択期間において、データ線駆動回路によって、データ線を順次選択し、第 3 に、選択されたデータ線に、階調に応じた電圧の画像信号をサンプリングする構成により、走査線およびデータ線を複数の画素について共通化した時分割マルチプレックス駆動が可能となる。

【0 0 0 5】

【発明が解決しようとする課題】しかしながら、データ線に印加される画像信号は、階調に対応する電圧、すなわちアナログ信号である。このため、電気光学装置の周辺回路には、D/A 変換回路やオペアンプなどが必要となるので、装置全体のコスト高を招致してしまう。さらに、これらの D/A 変換回路、オペアンプなどの特性や、各種の配線抵抗などの不均一性に起因して、表示ムラが発生するので、高品質な表示が極めて困難である、という問題があり、特に、高精細な表示を行う場合に顕著となる。

【0 0 0 6】さらに、上述した従来の電気光学装置においては、一定の時間間隔毎にすべての画素に対して上記画像信号を与える必要がある。すなわち、一定時間間隔毎に、走査線駆動回路によってすべての走査線を順次選択するとともに、これらの各選択期間のすべてにおいて、階調に応じた電圧の画像信号をすべてのデータ線に対して供給する必要があったのである。このため、消費電力が大きくなってしまいう問題も生じていた。また、かかる問題は、高精細化を図るべく、画像信号の供給対象となる画素の個数を増やした場合に特に顕著に現れる。一方、従来より、消費電力を低減するための様々な技術が提供されてはいるものの、一定時間間隔毎にすべての画素に対して画像信号を与えなければならないという点に変わりはなく、低消費電力化には限界があるのが現状であった。

【0 0 0 7】本発明は、上述した事情に鑑みてなされたものであり、高品質・高精細な階調表示が可能で、かつ、少ない消費電力で駆動可能な電気光学装置およびその駆動方法ならびにこの電気光学装置を用いた電子機器を提供することを目的としている。

【0 0 0 8】

【課題を解決するための手段】上記課題を解決するため、本件第 1 の発明は、各々が  $k$  ( $k = 1, 2, 3, \dots$  の自然数) ビットのメモリを有する複数の画素を備え、 $k$  ビットの階調データに応じて  $k$  ビットの階調表示を行う電気光学装置の駆動方法であって、前記画素のメモリに前記階調データを書き込み、前記メモリに書き込まれた階調データと、 $k$  ビットの階調信号とから、前記

階調データに応じた時間密度を有するパルス信号を生成し、前記パルス信号に応じて、画素をオン状態にする電圧または画素をオフ状態にする電圧を前記画素に印加することを特徴としている。

【0009】この第1の発明によれば、階調データに応じた時間密度で画素がオン状態またはオフ状態とされ、この結果、実効値制御による階調表示が行われることとなる。つまり、各画素をオン状態またはオフ状態にすることのみにより階調表示を実現することができるから、素子特性や配線抵抗などの不均一性に起因する表示ムラが抑えられる結果、高品質かつ高精細な階調表示が可能となる。

【0010】さらに、第1の発明によれば、各画素がメモリを備え、前記メモリに記憶された階調データに応じた時間密度で各画素をオン状態またはオフ状態とすようになっているため、一定時間間隔毎（例えば1フィールド毎）にすべての画素に対して階調データを与える必要がない。すなわち、階調データの内容に変更がある画素に対してのみ階調データの書き込みを行うことにより階調表示を実現することができる。従って、一定時間間隔毎にすべての画素に対して階調データを与えるようにした電気光学装置と比較して、消費電力を著しく低く抑えることができるという利点がある。

【0011】なお、本発明において、1フィールドとは、従来において、水平走査信号および垂直走査信号に同期して水平走査および垂直走査することにより、1枚のラスト画像を形成するのに要する期間という意味合いで用いている。従って、ノンインターレース方式などにおける1フレームも、本発明にいう1フィールドに相当する点に留意されたい。

【0012】ここで、上記第1の発明においては、前記kビットの階調信号は、各ビットの選択期間がそれぞれ $2^0$ 、 $2^1$ 、 $2^2$ 、 $\dots$ 、 $2^{k-1}$ の階調表示を可能とする時間密度に設定されるようにしてもよい。さらに、前記階調データに応じて、前記階調信号の対応するビットの階調信号を選択し、選択された各階調信号の選択期間を合成することにより前記パルス信号を生成し、前記パルス信号に応じて、画素をオン状態にする電圧または画素をオフ状態にする電圧のいずれかを前記画素電極に印加する構成としてもよい。こうすることにより、 $2^0$ 、 $2^1$ 、 $2^2$ 、 $\dots$ 、 $2^{k-1}$ の時間密度を有するパルス信号はもちろんのこと、階調データに応じて各階調信号の選択期間を合成することにより、kビットの任意の時間密度を有するパルス信号を生成することができ、このパルス信号の時間密度に応じて画素がオン状態またはオフ状態とされ、実効値制御による階調表示が実現されるようになる。

【0013】また、上記第1の発明においては、前記kビットの階調信号は、kビットのカウンタの出力信号であり、前記出力信号が示すカウンタ値の各々が維持され

る期間は、kビットの階調表示を可能とする時間密度に設定されるようにしてもよい。さらに、前記kビットの階調データと前記階調信号のkビットのカウンタ値とを比較し、比較結果に応じて前記パルス信号を生成し、前記パルス信号に応じて、画素をオン状態にする電圧または画素をオフ状態にする電圧のいずれかを前記画素電極に印加する構成としてもよい。こうすることにより、kビットのカウンタ値各々の時間密度を、電気光学材料の階調特性に合わせて任意に設定し、階調データとこのカウンタ値を比較することにより、kビットの任意の時間密度を有するパルス信号を生成することができ、このパルス信号の時間密度に応じて画素がオン状態またはオフ状態とされ、実効値制御による階調表示が実現されるようになる。

【0014】なお、上記第1の発明においては、前記階調信号が所定の値をとる期間は、前記階調データの値にかかわらず前記画素がオフとなるようにしてもよい。こうすることにより、例えば、印加される実効電圧がある一定値を超えることにより透過率が低下する特性を有する電気光学材料を用いた場合であっても、上記所定の値をとる期間の時間密度を適当に選定することにより、所望の透過率を確実に得ることができるという利点がある。

【0015】ここで、上記第1の発明においては、前記画素は、画素電極と、前記画素電極に対向し、所定周期でレベル反転を繰り返す基準電圧が印加される対向電極とを備え、前記パルス信号に応じて画素をオン状態にする場合、前記基準電圧のレベル変化とは逆のレベル変化をする電圧を前記画素電極に印加する一方、画素をオフ状態にする場合、前記基準電圧のレベル変化に対応したレベル変化をする電圧を前記画素電極に印加することが望ましい。こうすることにより、画素に印加される電圧の極性を所定周期で反転させることができる。すなわち、電気光学材料に対して直流成分が印加されるのを防ぐことができるから、電気光学材料の劣化を防止することができるという利点がある。

【0016】また、上記第1の発明においては、前記画素は、画素電極と、前記画素電極に対向し、一定の基準電圧が印加される対向電極とを備え、前記パルス信号に応じて画素をオフ状態にする場合、前記基準電圧と同一の電圧を前記画素電極に印加する一方、画素をオン状態にする場合、前記基準電圧よりも高い第1電圧または前記基準電圧よりも低い第2電圧のいずれかを所定周期で切換えて前記画素電極に印加するようにしてもよい。こうした場合にも、電気光学材料に対して直流成分が印加されるのを防ぐことができるので、電気光学材料の劣化を抑えることができる。

【0017】さらに、かかる交流化駆動を行う場合、前記所定周期は、各フィールドの周期とは異なるようにしてもよい。こうすれば、画素に印加される電圧の極性の

反転周期を、フリッカの発生が最も抑えられる周期に任意に設定することができる。

【0018】さらに、上記第1の発明においては、前記複数の画素のうち、前記メモリに記憶された階調データを変更すべき画素のメモリに対してのみ前記階調データを書き込むことが望ましい。こうすれば、階調データに変更がない画素に対しては何ら階調データの書込処理を行う必要がないので、一定時間間隔毎にすべての画素に対して階調データを与える構成を採る従来の電気光学装置と比較して、駆動に要する電力を大幅に低減することができる。

【0019】また、上記課題を解決するため、本件第2の発明は、 $k$  ( $k=1, 2, 3, \dots$ の自然数)本の列選択線からなる複数の列選択線群と、複数の行選択線と、前記列選択線群と前記行選択線との各交差に対応して設けられ、 $k$ ビットの階調データを記憶する $k$ ビットのメモリを有する画素とを備え、前記メモリに書き込まれた階調データと、 $k$ ビットの階調信号とから、前記階調データに応じた時間密度を有するパルス信号を生成し、このパルス信号に応じて、画素をオン状態にする電圧または画素をオフ状態にする電圧を前記画素に印加する電気光学装置の駆動回路であって、前記階調データの書き込み対象となる画素に対応する行選択線に対し、選択信号を供給する行選択線駆動回路と、前記行選択線に選択信号が供給されている間に、前記階調データの書き込み対象となる画素に対応した列選択線群を構成する各列選択線に対して、前記階調データの各ビットに対応する信号を供給する列選択線駆動回路とを具備することを特徴としている。

【0020】かかる構成によれば、階調データをデジタルデータとして扱うことによって階調表示が実現されるようになっているので、素子特性や配線抵抗などの不均一性に起因する表示ムラが抑えられる結果、駆動対象となる電気光学装置に高品質かつ高精細な階調表示を行わせることが可能となる。

【0021】なお、上記駆動回路に、前記階調信号を生成する階調信号生成回路を有するようにしてもよい。こうすることにより、周辺回路の簡素化並びに低コスト化が実現できる。

【0022】ここで、上記第2の発明においては、前記 $k$ ビットの階調信号は、各ビットの選択期間がそれぞれ $2^0, 2^1, 2^2, \dots, 2^{k-1}$ の階調表示を可能とする時間密度に設定されるようにしてもよい。こうすることにより、 $2^0, 2^1, 2^2, \dots, 2^{k-1}$ の時間密度を有するパルス信号はもちろんのこと、階調データに応じて各階調信号の選択期間を合成することにより、 $k$ ビットの任意の時間密度を有するパルス信号を生成することができ、このパルス信号の時間密度に応じて画素がオン状態またはオフ状態とされ、実効値制御による階調表示が実現されるようになる。

【0023】また、上記第2の発明においては、前記 $k$ ビットの階調信号は、 $k$ ビットのカウンタの出力信号であり、前記出力信号が示すカウンタ値の各々が維持される期間は、 $k$ ビットの階調表示を可能とする時間密度に設定されるようにしてもよい。こうすることにより、 $k$ ビットのカウンタ値各々の時間密度を、電気光学材料の階調特性に合わせて任意に設定し、階調データとこのカウンタ値を比較することにより、 $k$ ビットの任意の時間密度を有するパルス信号を生成することができ、このパルス信号の時間密度に応じて画素がオン状態またはオフ状態とされ、実効値制御による階調表示が実現されるようになる。

【0024】なお、上記第2の発明においては、前記階調信号が所定の値をとる期間は、前記階調データの値にかかわらず前記画素がオフとなるようにしてもよい。こうすることにより、例えば、印加される実効電圧がある一定値を超えることにより透過率が低下する特性を有する電気光学材料を用いた場合であっても、上記所定の値をとる期間の時間密度を適当に選定することにより、所望の透過率を確実に得ることができるという利点がある。

【0025】さらに、上記第2の発明においては、前記行選択線駆動回路や列選択線駆動回路は、前記画素が形成される所定の基板に形成されるようにしてもよい。こうすることにより、周辺回路の簡素化並びに低コスト化が実現できる。

【0026】ここで、上記第2の発明においては、前記複数の画素のうち、前記メモリに記憶された階調データを変更すべき画素のメモリに対してのみ階調データを書き込む書込回路を設けることが望ましい。こうすれば、例えば一定時間間隔毎にすべての画素に対して階調データを与える必要がなくなるので、一定時間間隔毎にすべての画素に対して階調データを与えていた従来の電気光学装置の駆動回路と比較して、駆動に要する電力を大幅に低減することができるという利点がある。

【0027】さらに、上記第2の発明においては、前記画素のメモリに記憶された階調データを読み出す読出回路を設けた構成とすることも望ましい。こうすれば、階調データ等の供給元であるコントローラ（上位装置）に、各画素に与えられた階調データを記憶するためのメモリを設ける必要がなくなる。

【0028】また、上記課題を解決するため、本件第3の発明は、複数の画素を有し、 $k$  ( $k=1, 2, 3, \dots$ の自然数)ビットの階調データに応じて $k$ ビットの階調表示を行う電気光学装置であって、 $k$ 本の列選択線からなる複数の列選択線群と、複数の行選択線と、前記列選択線群と前記行選択線との各交差に対応して設けられ、画素電極と、前記 $k$ ビットの階調データを記憶する $k$ ビットのメモリと、前記メモリに書き込まれた階調データと、 $k$ ビットの階調信号とから、前記階調データに



応じた時間密度を有するパルス信号を生成し、このパルス信号に応じて、画素をオン状態にする電圧または画素をオフ状態にする電圧のいずれかを前記画素電極に印加する画素駆動回路とを有する複数の画素と、前記階調データの書き込み対象となる画素に対応する行選択線に対し、選択信号を供給する行選択線駆動回路と、前記行選択線に選択信号が供給されている間に、前記階調データの書き込み対象となる画素に対応した列選択線群を構成する各列選択線に対して、前記階調データを供給する列選択線駆動回路とを具備することを特徴としている。

【0029】この第3の発明によれば、階調データに応じた時間密度で画素がオン状態またはオフ状態とされ、この結果、実効値制御による階調表示が行われることとなる。つまり、各画素をオン状態またはオフ状態にするのみににより階調表示を実現することができるから、素子特性や配線抵抗などの不均一性に起因する表示ムラが抑えられる結果、高品質かつ高精細な階調表示が可能となる。

【0030】さらに、第3の発明によれば、各画素がメモリを備え、前記メモリに記憶された階調データに応じた時間密度で各画素をオン状態またはオフ状態とすようになっているため、一定時間間隔毎（例えば1フィールド毎）にすべての画素に対して階調データを与える必要がない。すなわち、階調データの内容に変更がある画素に対してのみ階調データの書き込みを行うことにより階調表示を実現することができる。従って、一定時間間隔毎にすべての画素に対して階調データを与えるようにした電気光学装置と比較して、消費電力を著しく低く抑えることができるという利点がある。

【0031】かかる効果は、前記メモリが、前記選択信号によって導通状態となるスイッチング素子と、前記スイッチング素子が導通状態となると、対応する列選択線に供給される前記階調データを書き込み、前記スイッチング素子が非導通状態となると、書き込まれた階調データを保持する互いに一方のインパータの出力が他方のインパータの入力となっている2つのインパータとを具備するいわゆるスタティックメモリを用いることにより、特に顕著となる。

【0032】さらに、上記電気光学装置に、前記階調信号を生成する階調信号生成回路を有するようにしてもよい。こうすることにより、周辺回路の簡素化並びに低コスト化が実現できる。

【0033】ここで、上記第3の発明において、前記kビットの階調信号は、各ビットの選択期間がそれぞれ $2^0$ 、 $2^1$ 、 $2^2$ 、 $\dots$ 、 $2^{k-1}$ の階調表示を可能とする時間密度に設定されるようにしてもよい。さらに、前記画素駆動回路は、前記階調データに応じて、前記階調信号の対応するビットの階調信号を選択し、選択された各階調信号の選択期間を合成することにより前記パルス信号を生成するパルス幅制御回路と、前記パルス幅制御回路に

より生成されたパルス信号に応じて、画素をオン状態にする電圧または画素をオフ状態にする電圧のいずれかを前記画素電極に印加するスイッチング回路とを具備する構成としてもよい。こうすることにより、 $2^0$ 、 $2^1$ 、 $2^2$ 、 $\dots$ 、 $2^{k-1}$ の時間密度を有するパルス信号はもちろんのこと、階調データに応じて各階調信号の選択期間を合成することにより、kビットの任意の時間密度を有するパルス信号を生成することができ、このパルス信号の時間密度に応じて画素がオン状態またはオフ状態とされ、実効値制御による階調表示が実現されるようになる。

【0034】また、上記第3の発明において、前記kビットの階調信号は、kビットのカウンタの出力信号であり、前記出力信号が示すカウンタ値の各々が維持される期間は、kビットの階調表示を可能とする時間密度に設定されるようにしてもよい。さらに、前記画素駆動回路は、前記kビットの階調データと前記階調信号のkビットのカウンタ値とを比較し、比較結果に応じて前記パルス信号を生成するパルス幅制御回路と、前記パルス幅制御回路により生成されたパルス信号に応じて、画素をオン状態にする電圧または画素をオフ状態にする電圧のいずれかを前記画素電極に印加するスイッチング回路とを具備する構成としてもよい。こうすることにより、kビットのカウンタ値各々の時間密度を、電気光学材料の階調特性に合わせて任意に設定し、階調データとこのカウンタ値を比較することにより、kビットの任意の時間密度を有するパルス信号を生成することができ、このパルス信号の時間密度に応じて画素がオン状態またはオフ状態とされ、実効値制御による階調表示が実現されるようになる。

【0035】なお、上記第3の発明においては、前記階調信号が所定の値をとる期間は、前記階調データの値にかかわらず前記画素がオフとなるようにしてもよい。こうすることにより、例えば、印加される実効電圧がある一定値を超えることにより透過率が低下する特性を有する電気光学材料を用いた場合であっても、上記所定の値をとる期間の時間密度を適当に選定することにより、所望の透過率を確実に得ることができるという利点がある。

【0036】さらに、上記第3の発明においては、前記行選択線駆動回路や列選択線駆動回路は、前記画素が形成される所定の基板に形成されるようにしてもよい。こうすることにより、周辺回路の簡素化並びに低コスト化が実現できる。

【0037】ここで、上記第3の発明においては、前記複数の画素のうち、前記メモリに記憶された階調データを変更すべき画素のメモリに対してのみ階調データを書き込む書込回路を設けることが望ましい。こうすれば、例えば一定時間間隔毎にすべての画素に対して階調データを与える必要がなくなるので、一定時間間隔毎にすべ

ての画素に対して階調データを与えていた従来の電気光学装置と比較して、駆動に要する電力を大幅に低減することができるという利点がある。

【0038】さらに、上記第3の発明においては、前記画素のメモリに記憶された階調データを読み出す読出回路を設けた構成とすることも望ましい。こうすれば、階調データ等の供給元であるコントローラ（上位装置）に、各画素に与えられた階調データを記憶するためのメモリを設ける必要がなくなる。

【0039】ここで、前記メモリおよび画素駆動回路はスイッチング素子を有し、前記メモリおよび画素駆動回路のうちの少なくとも一方が有する前記スイッチング素子は絶縁基板上に形成された薄膜トランジスタからなる構成としてもよい。絶縁基板に石英ガラス等を用いれば、透過型の電気光学装置を得ることができる。

【0040】また、前記メモリおよび画素駆動回路はスイッチング素子を有し、前記メモリおよび画素駆動回路のうちの少なくとも一方が有する前記スイッチング素子は半導体基板上に形成されるようにしてもよい。半導体基板の電子移動度は高いので、半導体基板に形成されるメモリや、画素駆動回路のスイッチング素子などについて、高速応答性ととも小サイズ化を図ることが可能となる。

【0041】また、上記画素電極に反射性を持たせるようにして、いわゆる反射型表示を行うようにすれば、電気光学装置に光源を設ける必要がなくなるので、消費電力をより低減することができるという利点がある。さらに、こうした場合には、前記メモリおよび画素駆動回路のうちの少なくとも一方を、前記画素電極に対して観察側とは反対側に設けることが望ましい。こうすることにより、各画素電極間にメモリまたは画素駆動回路を設ける必要がないから、各画素電極間において光が遮られることがない。この結果、各画素の開口率を向上させることができるという利点がある。

【0042】また、上記課題を解決するため、本件第4の発明に係る電子機器にあっては、上記電気光学装置自体を単体で製造または販売するほか、上記電気光学装置を表示装置として備えた電子機器として製造または販売するという態様によっても実施することができる。かかる電子機器によれば、上述したのと同様の理由により、低消費電力による駆動が可能であり、また、高品質かつ高精細な階調表示が可能となる。

【0043】

【発明の実施の形態】以下、図面を参照して、本発明の実施形態について説明する。かかる実施の形態は、本発明の一態様を示すものであり、この発明を限定するものではなく、本発明の範囲内で任意に変更可能である。

【0044】A：本発明に係る電気光学装置の動作原理  
まず、本実施形態に係る装置の理解を容易にするため、本実施形態における電気光学装置の駆動方法について説

明する。

【0045】一般に、電気光学装置として液晶を用いた液晶装置において、液晶に印加される実効電圧値と相対透過率（反射型液晶装置の場合には反射率）との関係は、電圧無印加状態において黒表示を行うノーマリーブラックモードを例にとれば、図4に示すような関係にある。なお、相対透過（反射）率とは、透過（または反射）光量の最低値および最高値を、それぞれ0%および100%として正規化したものである。図4に示すように、液晶の透過率は、液晶層に対する印加電圧が閾値 $V_{TH1}$ より小さい場合には0%であるが、印加電圧が閾値 $V_{TH1}$ 以上であり、かつ、飽和電圧 $V_{TH2}$ 以下である場合には、印加電圧に対して非線形に増加する。そして、印加電圧が飽和電圧 $V_{TH2}$ 以上である場合、液晶の透過率は印加電圧によらず一定値を維持する。

【0046】さて、液晶の透過率を0%と100%との間の中間的な透過率にするためには、図4に示す電圧／透過率特性において電圧 $V_{TH1}$ と電圧 $V_{TH2}$ との間にある前記透過率に対応した実効電圧を液晶層に印加する必要がある。

【0047】従来の技術の下では、このような中間階調を得るための電圧がD/A変換回路やオペアンプなどのアナログ回路によって生成され、画素電極に印加されていた。しかし、このような駆動方法によって画素電極に印加される電圧は、アナログ回路の特性や各種の配線抵抗などのばらつきによる影響を受けやすく、さらに、画素同士でみて不均一となりやすいので、高品質かつ高精細な階調表示が困難であった。

【0048】そこで、本実施形態に係る電気光学装置では、次のような方法により画素の駆動を行う。

【0049】まず、1フィールド（1f）を複数のサブフィールドに分割し、各サブフィールド単位で液晶層に対する電圧印加を行う。そして、各サブフィールドでは、液晶層に対して電圧 $V_H$ または $V_L$ （ $=0V$ ）のいずれかのみを印加する。ここで、電圧 $V_H$ は、1フィールドにわたって液晶層に対して前記電圧 $V_H$ が印加されることにより、前記1フィールドにおいて液晶層に与えられる実効電圧値が図4に示す電圧 $V_7$ 以上となるように選定されている。

【0050】さらに、1フィールド内において電圧 $V_H$ が印加される時間と電圧 $V_L$ （ $=0V$ ）が印加される時間との比率が階調データに応じた比率となるように、電圧 $V_H$ の印加を行うサブフィールドおよび電圧 $V_L$ の印加を行うサブフィールドを階調データに応じて決定する。このようにすることで、階調データに応じた実効電圧が液晶層に印加され、透過率0%と透過率100%の間の中間的な階調での表示が可能となるのである。なお、各サブフィールドの具体的な時間長については後述する。

【0051】また、以下に示す各実施形態においては、

3ビットの階調データD0、D1、D2に従って8階調での表示を行う場合を例に説明を進めるが、本発明を適用できるのはかかる場合に限られるものではないことはいうまでもない。

【0052】B：第1実施形態

B-1：第1実施形態の構成

図1は、本実施形態に係る電気光学装置の電気的な構成を示すブロック図である。この電気光学装置は、電気光学材料として液晶を用いた液晶装置であり、素子基板と対向基板とが、互いに一定の間隙を保って貼付され、この間隙に電気光学材料たる液晶が挟持される構成となっている。また、この電気光学装置では、素子基板として半導体基板が用いられており、この素子基板に形成されたMOS型トランジスタによって、各画素における表示を制御する画素回路及び画素回路を制御する周辺駆動回路などが形成されている。図1には、この素子基板に形成された回路の構成が示されている。

【0053】図1に示すように、素子基板上における表示領域10aには、複数本の行選択線11がX（行）方向に沿って延在して形成され、複数本の列選択線12がY（列）方向に沿って延在して形成されている。そして、画素13は、行選択線11と列選択線12との各交差に対応して設けられて、マトリクス状に配列している。本実施形態では、説明の便宜上、行選択線11の総本数をm本とし、列選択線12の総本数をn本として（m、nはそれぞれ2以上の整数）、m行×n列のマトリクス型表示装置として説明するが、本発明をこれに限定する趣旨ではない。なお、図1においては、図面が煩雑になるのを防止するため、1列分のm個の画素13が1本の列選択線12に接続されるように図示したが、実際には図1の列選択線12は複数本の列選択線からなる（詳細は後述する）。

【0054】また、この電気光学装置は、動作制御回路20、Yアドレスバッファ210、Yアドレスデコーダ211、Xアドレスバッファ220、Xアドレスデコーダ221、サンプル・ホールド回路222、階調信号生成回路23、入力回路240および出力回路241を具備している。

【0055】動作制御回路20は、図示しない上位装置から供給されるチップイネーブル信号／CE、ライトイネーブル信号／WEおよび出力イネーブル信号／OEに基づいて、動作モードに対応した内部制御信号を生成する。

【0056】動作制御回路20の具体的な構成は図1に示す通りである。かかる構成の下、チップイネーブル信号／CEおよびライトイネーブル信号／WEがLレベルとなると、Yアドレスバッファ210およびXアドレスバッファ220、ならびに入力回路240に対してHレベルのイネーブル信号が供給される。そしてこの結果、データ入出力端子I／O0～I／O2を介して上位装置

から供給される階調データD0～D2を各画素13に対して書き込む書込モードに移行する。ここで、書込モード移行時に動作する回路全体が、特許請求の範囲における「書込回路」に相当するものとなる。

【0057】一方、チップイネーブル信号／CEおよび出力イネーブル信号／OEがLレベルとなり、ライトイネーブル信号／WEがHレベルとなると、Yアドレスバッファ210およびXアドレスバッファ220、ならびに出力回路241に対してHレベルのイネーブル信号が供給される。そしてこの結果、各画素13に書き込まれたデータを読み出し、読み出したデータを入出力端子I／O0～I／O2を介して外部に出力する読出モードに移行する。ここで、読出モード移行時に動作する回路全体が、特許請求の範囲における「読出回路」に相当するものとなる。

【0058】入力回路240および出力回路241は、入出力端子I／O0～I／O2に接続されている。入力回路240は、動作制御回路20からHレベルのイネーブル信号が与えられることにより動作状態となり、データ入出力端子I／O0～I／O2を介して入力される階調データD0～D2をサンプル・ホールド回路222に出力する。これらの各階調データD0～D2は、HレベルまたはLレベルのデジタルデータである。また、出力回路241は、動作制御回路20からHレベルのイネーブル信号が与えられることにより動作状態となり、サンプル・ホールド回路222によって画素13から読み出された階調データD0～D2を入出力端子I／O0～I／O2に出力する。

【0059】Yアドレスバッファ210には、図示しない上位装置からYアドレス信号Ay0～Ay iが供給される。このYアドレスバッファ210は、動作制御回路20からHレベルのイネーブル信号が供給されることにより動作状態となり、その時点において供給されているYアドレス信号Ay0～Ay iをYアドレスデコーダ211に出力する。

【0060】Yアドレスデコーダ211は、入力端子がYアドレスバッファ210の各出力端子に接続されており、出力端子が各行選択線11の一端（図1においては左側の一端）に接続されている。このYアドレスデコーダ211は、Yアドレスバッファ210から出力されるYアドレス信号Ay0～Ay iをデコードし、接続された複数の行選択線11のうちの1本の行選択線11に対して択一的にHレベルのY選択信号を出力する。これにより、Yアドレス信号Ay0～Ay iに応じた行選択線11が択一的に選択されることとなる。

【0061】一方、Xアドレスバッファ220には、図示しない上位装置からXアドレス信号Ax0～Ax jが供給される。このXアドレスバッファ220は、動作制御回路20からHレベルのイネーブル信号が供給されることにより動作状態となり、その時点において供給され

ているXアドレス信号 $Ax0 \sim Axj$ をXアドレスデコーダ221に出力する。Xアドレスデコーダ221は、入力端子がXアドレスバッファ220の各出力端子に接続されており、出力端子がサンプル・ホールド回路222の各入力端子に接続されている。このXアドレスデコーダ221は、Xアドレスバッファ220から出力されるXアドレス信号 $Ax0 \sim Axj$ をデコードしてX選択信号を生成する。このX選択信号は、複数の列選択線12のうち、Xアドレス信号 $Ax0 \sim Axj$ に応じた列選択線12を択一的に選択するための信号である。

【0062】サンプル・ホールド回路222は、Xアドレスデコーダ221によって出力されたX選択信号によって特定される列選択線12に対して、入力回路240から供給される階調データD0、D1およびD2を出力する。

【0063】このような構成により、書込モードにおいては、上記Yアドレスデコーダ211によって生成されたY選択信号が出力される行選択線11と、Xアドレスデコーダ221によって生成されたX選択信号によって特定される列選択線12との交差に対応した画素13に対して、入力回路240から出力された階調データD0、D1およびD2が与えられることとなる。

【0064】本実施形態においては、この階調データD0～D2と階調信号P0～P2とに応じた時間密度で、画素13をオン状態とする電圧または画素13をオフ状態とする電圧を、前記画素13に印加するようになって（詳細は後述）。階調信号生成回路23は、この階調信号P0、P1およびP2を生成して出力するための回路である。各階調信号P0、P1およびP2は、1フィールド毎に所定の時間長だけHレベルとなる。詳述すると、以下の通りである。

【0065】本実施形態においては、1フィールド（1f）を3つのサブフィールドSf1～Sf3に分割し、各サブフィールド単位で画素13をオン状態またはオフ状態とすることにより8階調による表示を行う。ここで、各サブフィールドの具体的な時間長について説明する（図6（a）参照）。

【0066】まず、サブフィールドSf1は、1フィールド（1f）内のサブフィールドSf1において液晶層に電圧VHを印加することにより、前記1フィールド（1f）において液晶層に与えられる実効電圧値が、 $2^1 (=4)$ の階調に相当する透過率57.1%に対応した、電圧V4（図4参照）となる時間長に設定されている。具体的には、実効電圧値は、電圧瞬時値の2乗を1周期（1フィールド（1f））にわたって平均化した平方根で求められるから、サブフィールドSf1は、1フィールド（1f）に対して $(V4/VH)^2$ となる時間長に設定されている。

【0067】また、サブフィールドSf2は、1フィールド（1f）内のサブフィールドSf2において液晶層

に電圧VHを印加することにより、前記1フィールド（1f）において液晶層に与えられる実効電圧値が、 $2^0 (=1)$ の階調に相当する透過率14.3%に対応した、電圧V1（図4参照）となる時間長に設定されている。同様に、サブフィールドSf3は、1フィールド（1f）内のサブフィールドSf3において液晶層に電圧VHを印加することにより、前記1フィールド（1f）において液晶層に与えられる実効電圧値が、 $2^1 (=2)$ の階調に相当する透過率28.6%に対応した、電圧V2となる時間長に設定されている。

【0068】以上が各サブフィールドの具体的な時間長である。このように、本実施形態においては、各サブフィールドの時間長が、 $2^0$ 、 $2^1$ または $2^2$ の階調表示を行うための実効電圧を、画素の液晶層に与え得るだけの時間長に設定されている。

【0069】ここで、本実施形態においては、3ビットの階調データに従って8階調での表示を行う場合を例に説明を進めたが、本発明を適用できるのはかかる場合に限られるものではなく、例えばk（k=1, 2, 3, …の自然数）ビットの階調データに従って $2^k$ 階調での表示を行う場合には、k個のサブフィールドを設け、各サブフィールドの時間長が、 $2^0$ 、 $2^1$ 、 $2^2$ 、…、 $2^{k-1}$ の階調表示を行うための実効電圧を、画素の液晶層に与え得るだけの時間長に設定されればよいことはいうまでもない。

【0070】さて、階調信号生成回路23によって生成される階調信号P0～P2の各々は、1フィールド（1f）を分割した上記複数のサブフィールドのうちのいずれかにおいてHレベルとなる。具体的には、図6（a）に示すように、階調信号P0は、サブフィールドSf2においてのみHレベルとなる信号である。階調信号P1は、サブフィールドSf3においてのみHレベルとなる信号である。階調信号P2は、サブフィールドSf1においてのみHレベルとなる信号である。

【0071】次に、図2は、本実施形態に係る電気光学装置の画素13の具体的な構成を示す回路図である。同図に示すように、画素13の画素回路は、メモリセル130a、130bおよび130c、階調制御回路138、インバータ133、トランスマッションゲート134aおよび134b、画素電極135、対向電極136ならびに液晶137により構成されている。なお、以下では、メモリセル130a、130bおよび130cのうちのいずれかを特定する必要がある場合には、単にメモリセル130と記す。また、他の各部の符号についても同様とする。

【0072】ここで、図1においては、図面が煩雑になるのを防止するため、1列分のm個の画素13が1本の列選択線12に接続されているように図示したが、より詳細には、図2に示すように、各列選択線12は、列選択線120、121および122からなる。そして、こ

これらの各列選択線 120、121 および 122 に対して各階調データ D0、D1 および D2 がそれぞれ供給されるようになっている。

【0073】図2に示すように、メモリセル 130 は、階調データのビット数に応じた数（本実施形態においては 3 個）だけ設けられている。そして、メモリセル 130a には列選択線 120 が接続されて階調データ D0 が供給され、メモリセル 130b には列選択線 121 が接続されて階調データ D1 が供給され、メモリセル 130c には列選択線 122 が接続されて階調データ D2 が供給されるようになっている。一方、各メモリセル 130a、130b および 130c は、Y 選択信号が供給される行選択線 11 にも接続されている。

【0074】図3は、各メモリセル 130 の具体的な構成を例示する図である。同図に示すように、このメモリセル 130 は、インバータ 1301 および 1302、ならびにトランジスタ 1303 および 1304 からなるスタティックメモリ（SRAM）構成となっている。

【0075】図3に示すように、インバータ 1301 および 1302 は、一方の出力端が他方の入力端に接続されたフリップフロップ構成であり、1ビットのメモリを構成している。一方、トランジスタ 1303 および 1304 はこの 1ビットのメモリに対して書き込みまたは読み出しを行うときにオン状態とされる N チャネルトランジスタである。各トランジスタ 1303 および 1304 のドレインは、インバータ 1302 および 1301 の各入力端子に接続され、各々のゲートは、Y 選択信号が供給される行選択線 11 に接続されている。

【0076】ところで、図2においては、図面が煩雑になるのを防ぐため、1 個のメモリセル 130 に対して 1 本の列選択線 120、121 または 122 が接続されるように図示したが、実際には、図3に示すように、各列選択線 120、121 および 122 は 2 本の配線 12a および 12b からなる。すなわち、1 個のメモリセル 130 に対して 2 本の列選択線 12a および 12b が配線されているのである。そして、列選択線 12a にはトランジスタ 1303 のソースが接続され、列選択線 12b にはトランジスタ 1304 のソースが接続されている。ここで、列選択線 12a には階調データ D0、D1 および D2 のいずれか（図3においては「D」と表記されている）が供給され、列選択線 12b には、列選択線 12a に供給される階調データをレベル反転したデータ（図3においては「 $\neg$ D」と表記されている）が供給されるようになっている。

【0077】各メモリセル 130 はこのような構成であり、行選択線 11 に H レベルの Y 選択信号が出力されることによりトランジスタ 1303 および 1304 がオン状態となる。この状態で、各階調データおよびそのレベルを反転したデータが列選択線 12a および 12b に供給されると、前記階調データはインバータ 1301 およ

び 1302 により構成されるメモリに記憶されることとなる。記憶されたデータは、Y 選択信号が L レベルとなり、トランジスタ 1303 および 1304 がオフ状態となっても保持される。なお、以下では、インバータ 1301 の出力を Q 出力とし、インバータ 1302 の出力を  $\neg$ Q 出力として説明を進める。

【0078】再び図2において、各画素 13 における各メモリセル 130 の Q 出力と、階調信号生成回路 23 から出力された階調信号 P0、P1、P2 とは階調制御回路 138 に入力される。階調制御回路 138 は、これらの入力信号に対して演算処理を行うことにより、1 フィールド（1f）内で、各メモリセルに書き込まれた階調データ D0～D2 に応じた時間密度を有するパルス信号 PW を生成して出力する。具体的には、階調制御回路 138 は、各メモリセル 130 に対応した数の AND ゲート 131a、131b および 131c を備えている。これらの各 AND ゲートの 2 つの入力端のうちの一方向の入力端には、上記メモリセル 130 の Q 出力が入力されるようになっている。また、各 AND ゲート 131 の他方向の入力端は、階調信号生成回路 23 によって生成された階調信号 P0、P1、P2 が供給される配線に接続され、双方の入力信号の論理積が演算されるようになっている。各 AND ゲート 131a～131c の出力信号は OR ゲート 132 に入力され、入力信号の論理和が演算されるようになっている。詳細は後述するが、かかる構成により、階調制御回路 138 からは、階調データ D0～D2 に応じた時間密度を有するパルス信号 PW が出力されることとなる。なお、本明細書において、時間密度とは、1 フィールドの時間長に対する、画素をオン状態（またはオフ状態）とする時間長の割合（密度）をいう。

【0079】一方、トランスミッションゲート 134a および 134b の出力端は、画素電極 135 に接続されている。そして、この画素電極 135 と対向電極 136 との間に液晶 137 が挟まれて液晶層が形成されている。ここで、対向電極 136 は、素子基板に形成された画素電極 135 と対向するように対向基板に一面に形成される透明電極である。この対向電極 136 には、図示しない電圧生成回路から交流化駆動信号 FR が供給される。この交流化駆動信号 FR は、VH から VL へ、VL から VH へ、という具合に、1 フィールド（1f）毎にレベル反転を繰り返す信号である（図7参照）。なお、説明の便宜上、この交流化駆動信号 FR のレベルに関しては、VH を単に H レベルと呼び、VL を単に L レベルと呼ぶ場合がある。

【0080】さて、上記階調制御回路 138 から出力されたパルス信号 PW は、トランスミッションゲート 134a の P チャネルトランジスタとトランスミッションゲート 134b の N チャネルトランジスタのゲートに供給される。さらに、パルス信号 PW は、インバータ 133

によってレベル反転された後、トランスミッションゲート 134a の N チャネルトランジスタとトランスミッションゲート 134b の P チャネルトランジスタのゲートに供給される。各トランスミッションゲート 134a および 134b は、P チャネルトランジスタに L レベルのゲート信号が与えられ、N チャネルトランジスタに H レベルのゲート信号が与えられることによりオン状態となるゲートである。従って、トランスミッションゲート 134a と 134b は、パルス信号 PW のレベルに応じて、一方がオン状態、他方がオフ状態となる。また、トランスミッションゲート 134a の入力端は、上述した交流化駆動信号 FR が供給される配線に接続される一方、トランスミッションゲート 134b の入力端は、信号 / FR が供給される配線に接続されている。ここで、信号 / FR は、上記交流化駆動信号 FR をレベル反転した信号である。つまり、交流化駆動信号 FR が H レベル (= VH) のときには信号 / FR は L レベル (= VL) となり、交流化駆動信号 FR が L レベル (= VL) のときには信号 / FR は H レベル (= VH) となる。

【0081】このような構成において、階調制御回路 138 から H レベルのパルス信号 PW が供給された場合には、トランスミッションゲート 134a はオフ状態となり、トランスミッションゲート 134b はオン状態となる。従って、画素電極 135 には、トランスミッションゲート 134b を介して信号 / FR が印加される。この結果、画素電極 135 に印加される電圧と対向電極 136 に印加される電圧の差電圧である VH が、前記画素 13 の液晶層に印加されるため、この画素 13 はオン状態となる。これに対し、階調制御回路 138 から L レベルのパルス信号 PW が供給された場合、トランスミッションゲート 134a はオン状態となり、トランスミッションゲート 134b はオフ状態となる。従って、画素電極 135 には交流化駆動信号 FR が印加され、この結果、前記画素 13 の液晶層に印加される電圧は VL (= 0 V) となる。そしてこの結果、前記画素 13 はオフ状態となるのである。

【0082】なお、図 2 においては、階調制御回路 138 を 3 つの AND ゲートと 1 つの OR ゲートにより構成した場合を例示したが、この階調制御回路 138 の構成はこれに限られるものでないことは言うまでもない。要は、階調データ D0 ~ D2 と、周期的にレベル変化を繰り返す複数の階調信号とから、前記階調データに応じた時間密度を有するパルス信号 PW を生成できる回路であればよいのである。

#### 【0083】B-2: 第 1 実施形態の動作

次に、本実施形態に係る電気光学装置の動作について説明する。まず、書込モードにおいて画素 13 内のメモリに階調データを書き込み、階調表示を行う場合の動作について説明する。なお、ここでは、説明の便宜上、1 つの画素に対して階調データ D0 ~ D2 が与えられる場合

の動作について説明する。

【0084】まず、図示しない上位装置から、L レベルのチップイネーブル信号 / CE およびライトイネーブル信号 / WE が与えられると書込モードとなり、電気光学装置内の各部は、画素 13 に対して階調データを書き込むための動作を行う。

【0085】Y アドレスデコーダ 211 は、Y アドレスバッファ 210 を介して受け取った Y アドレス信号 Ay0 ~ Ayi をデコードし、前記 Y アドレス信号 Ay0 ~ Ayi によって特定される行選択線 11 に対して H レベルの Y 選択信号を出力する。一方、X アドレスデコーダ 221 は、X アドレスバッファ 220 を介して受け取った X アドレス信号 Ax0 ~ Axj をデコードし、X 選択信号を生成して出力する。

【0086】入力回路 240 は、動作制御回路 20 から H レベルのイネーブル信号が与えられることにより動作状態となり、入出力端子 I / O0 ~ I / O2 を介して上位装置から供給される階調データ D0 ~ D2 を、サンプル・ホールド回路 222 に出力する。サンプル・ホールド回路 222 は、X アドレスデコーダ 221 からの X 選択信号によって指定される列選択線 12 に対して、入力回路 240 から供給される階調データ D0 ~ D2 を出力する。

【0087】ここで、データ書き込みの対象となる画素 13 内に設けられたメモリセル 130 内のトランジスタ 1303 および 1304 (図 3 参照) は、H レベルの Y 選択信号によってオン状態となり、サンプル・ホールド回路 222 から出力された階調データ D0 ~ D2 の各々は、前記画素 13 内の各メモリセル 130a、130b および 130c に書き込まれる。

【0088】こうして各メモリセル 130 に階調データ D0 ~ D2 が書き込まれると、階調制御回路 138 は、前記階調データ D0 ~ D2 および階調信号 P0 ~ P2 に応じて H レベルまたは L レベルとなるパルス信号 PW を生成して出力する。そして、このパルス信号 PW が H レベルとなる期間においては画素をオン状態とする電圧が前記画素の液晶層に印加される一方、パルス信号 PW が L レベルとなる期間においては、画素をオフ状態にする電圧が前記画素の液晶層に対して印加される。詳述すると、以下の通りである。

【0089】図 5 は、階調データ D0 ~ D2 および階調信号 P0 ~ P2 と、画素 13 内の階調制御回路 138 から出力されるパルス信号 PW との関係を示す真理値表であり、図 6 (b) は、階調データ D0 ~ D2 に応じて、画素 13 内の階調制御回路 138 から出力されるパルス信号 PW の波形を示すタイミングチャートである。

【0090】まず、階調データ D0 ~ D2 が全て L レベルである場合、図 5 および図 6 (b) に示すように、パルス信号 PW は全てのサブフィールドにわたって L レベルとなる。

【0091】次に、階調データが（L L H）である場合（すなわち、階調データD2およびD1がLレベルであり、階調データD0がHレベルである場合をいう。以下においても、同様の態様で表記するものとする）、図5の真理値表に示すように、階調信号P0がHレベルとなる場合にのみパルス信号PWがHレベルとなり、それ以外の場合にはパルス信号PWはLレベルとなる。ここで、階調信号P0は、サブフィールドS f 2においてHレベルとなる（図6（a）参照）から、図6（b）に示すように、パルス信号PWは、サブフィールドS f 2においてのみHレベルとなる。

【0092】次に、階調データが（L H L）である場合、図5の真理値表に示すように、階調信号P1がHレベルとなる場合にのみパルス信号PWがHレベルとなり、それ以外の場合にはパルス信号PWはLレベルとなる。ここで、階調信号P1は、サブフィールドS f 3においてHレベルとなる（図6（a）参照）から、図6（b）に示すように、パルス信号PWは、サブフィールドS f 3においてのみHレベルとなる。さらに、階調データが（L H H）である場合には、図5の真理値表に示すように、階調信号P0およびP1のいずれかがHレベルとなる場合にパルス信号PWがHレベルとなる。ここで、階調信号P0は、図6（a）に示すように、サブフィールドS f 2においてHレベルとなり、階調信号P1は、サブフィールドS f 3においてHレベルとなる。つまり、階調データが（L H H）である場合、図6（b）に示すように、パルス信号PWは、サブフィールドS f 2およびS f 3においてHレベルとなるのである。

【0093】その他の階調データが与えられた場合も同様である。すなわち、画素13内の各メモリセル130に書き込まれた階調データに応じて、パルス信号PWがHレベル（またはLレベル）となるサブフィールドが決定されることとなる。このように、階調制御回路138は、各メモリセル130に記憶された階調データD0～D2と階調信号P0～P1との演算処理を行うことにより、1フィールドにおいて前記階調データD0～D2に応じた時間密度を有するパルス信号PWを生成する役割を担っている。

【0094】次に、これらの階調データD0～D2が与えられた場合に、画素13の画素電極135に印加される電圧について検討する。図7は、画素13内の各メモリセル130に書き込まれた階調データD0～D2と、前記階調データD0～D2に応じてこの画素13の画素電極135に印加される電圧Vとの関係を示すタイミングチャートである。なお、図7においては、各階調データに応じて画素電極135に印加される電圧Vの上側に、図6（b）に示したパルス信号PWの波形が併せて図示されている。

【0095】まず、階調データが（L L L）である場合、パルス信号PWは全てのサブフィールドにわたって

Lレベルとなる。この場合、全てのサブフィールドにわたって図2に示したトランスミッションゲート134aがオン状態となるため、前記画素13の画素電極135には、交流化駆動信号FRが印加される。一方、前記画素電極135と液晶137を挟んで対向する対向電極136には、交流化駆動信号FRが印加されているから、前記画素の液晶層に印加される電圧は全てのサブフィールドにわたってVL（＝0V）となる。この結果、前記画素13は、すべてのサブフィールドにわたってオフ状態となるから、この場合の液晶の透過率は、階調データ（L L L）に対応して0%となる。

【0096】次に、階調データが（L L H）である場合、パルス信号PWはサブフィールドS f 2においてHレベルとなり、その他のサブフィールドにおいてはLレベルとなる。この場合、サブフィールドS f 2においてはトランスミッションゲート134bがオン状態となるため、画素電極135には交流化駆動信号FRをレベル反転した信号／FRが印加される。一方、サブフィールドS f 1およびS f 3においてはトランスミッションゲート134aがオン状態となるため、画素電極135には交流化駆動信号FRが印加される。従って、サブフィールドS f 2においては画素13の液晶層に対して電圧VHが印加されて画素13はオン状態となり、サブフィールドS f 1およびS f 3においては前記液晶層に対してVL（＝0V）が印加されて画素13はオフ状態となる。この結果、1フィールドにおいて画素13の液晶層に印加される実効電圧値は、図4に示したV1となるから、前記画素13の透過率は、階調データ（L L H）に応じて14.3%となる。

【0097】次に、階調データが（L H H）である場合、パルス信号PWはサブフィールドS f 2およびS f 3においてHレベルとなる一方、サブフィールドS f 1においてはLレベルとなる。従って、サブフィールドS f 2およびS f 3においては前記画素13の液晶層に電圧VHが印加されてオン状態となる。一方、サブフィールドS f 1においては前記画素13の液晶層に印加される電圧はVL（＝0V）となるため、前記画素13はオフ状態となる。この結果、1フィールドにおいて画素13の液晶層に印加される実効電圧値は、図4に示したV3となるから、前記画素13の透過率は、階調データ（L H H）に応じて42.9%となる。

【0098】その他の階調データが与えられた場合も同様である。すなわち、パルス信号PWがHレベルとなるサブフィールドにおいては、交流化駆動信号FRと反転レベルの信号／FRが画素電極135に印加される結果、画素13がオン状態なる。これに対し、パルス信号PWがLレベルとなるサブフィールドにおいては、交流化駆動信号FRが画素電極135に印加される結果、画素13がオフ状態となる。そしてこの結果、1フィールドにおいて、階調データに応じた実効電圧が前記画素1

3の液晶層に印加され、前記階調データに応じた透過率が得られる。つまり、各メモリセル130に記憶された階調データに応じた時間密度で、画素をオン状態とする電圧または画素をオフ状態とする電圧が、前記画素の液晶層に印加されるのである。このように、本実施形態においては、図2に示す階調制御回路138が特許請求の範囲における「パルス幅制御回路」に相当し、この出力信号であるパルス信号PWによりオン・オフが制御されるトランスマッションゲート134aならびに134bが特許請求の範囲における「スイッチング回路」に相当し、また、これらを併せたものが特許請求の範囲における「画素駆動回路」に相当するものとなる。もっとも、画素駆動回路は、階調データに応じた時間密度を有するパルス信号を生成するとともに、このパルス信号に応じて画素をオン状態にする電圧またはオフ状態にする電圧を各画素に印加することができる回路であればよく、本実施形態に示した構成に限られるものでないことはもちろんである。

【0099】ところで、上述したように、交流化駆動電圧FRは1フィールド毎にレベル反転を繰り返す信号である。従って、図7に示すように、あるフィールドにおいて画素13の液晶層に印加される電圧と、前記フィールドの前後のフィールドにおいて画素13の液晶層に印加される電圧とは極性が逆となる。すなわち、液晶層に印加される電圧の極性は、周期的に反転するようになっているから、液晶に対して直流成分が印加されるのを回避することができる。この結果、液晶の劣化を抑えることができるという利点がある。

【0100】本実施形態によれば、1フィールドが複数のサブフィールドに分割され、各サブフィールド単位で各画素13の液晶層に対して画素をオン状態とする電圧VHまたはオフ状態とする電圧VL(=0V)の電圧が印加され、1フィールドにおける実効電圧値が制御される。すなわち、デジタル値を扱う回路によって駆動回路を構成すれば良いから、駆動回路などの周辺回路においては、高精度のD/A変換回路やオペアンプなどのような、アナログ信号を処理するための回路は不要となる。このため、回路構成が大幅に簡略化されるので、装置全体のコストを低く抑えることができるという利点がある。さらに、液晶層に印加される電圧は2値的であることから、素子特性や配線抵抗などの不均一性に起因する表示ムラが原理的に発生しない。このため、本実施形態に係る電気光学装置によれば、高品位かつ高精細な階調表示が可能となる。

【0101】さらに、本実施形態によれば、各メモリセルに記憶された階調データD0~D2に応じた時間密度で画素13がオン状態またはオフ状態とされるようになっているから、階調データに変更がない画素13に対しては、階調データの書き換えを行う必要がない。つまり、階調データに変更がある画素13に対してのみ階調

データの書き込みを行うことにより階調表示を行うことができる。従って、例えば1フィールド毎にすべての画素に対して階調データの書き込みを行う方法を採用した場合と比較して、消費電力を著しく低く抑えることができるという利点がある。特に、静止画像を表示する場合や画像の変化が少ない動画像を表示する場合には、画素に対して階調データの書き込みを行う回数を著しく少なくすることができるから、上記効果はより顕著となる。

【0102】なお、上記実施形態においては、書込モードにおける動作を説明したが、図1に示した構成によれば、読出モードにおいて画素13内のメモリに書き込まれた階調データを読み出すことも可能である。すなわち、図示しない上位装置から、Lレベルのチップイネーブル信号/CEおよび出力イネーブル信号/OE、ならびにHレベルのライトイネーブル信号/WEが与えられると、Yアドレスバッファ210およびXアドレスバッファ220、ならびに出力回路241に対してHレベルのイネーブル信号が供給される。そして、アドレス信号Ay0~Ayiと、Xアドレス信号Ax0~Axjによって特定される画素のメモリから階調データが読み出されて、入出力端子I/O0~I/O2を介して上位装置に出力されるのである。かかる構成とすれば、上位装置側に各画素の階調データを記憶するためのメモリを備える必要がなくなるという効果が得られる。

#### 【0103】C：第2実施形態

次に、本発明の第2実施形態に係る電気光学装置について説明する。なお、本実施形態に係る電気光学装置は、階調信号P0~P2の態様と画素の構成を除いて、図1に示した上記第1実施形態に係る電気光学装置と同様の構成となっている。従って、以下では、上記第1実施形態と異なる部分についてのみ説明する。

【0104】本実施形態においては、1フィールドを7つのサブフィールドに分割し、各サブフィールド単位で画素をオン状態またはオフ状態とすることにより、3ビットの階調データD0~D2に応じた8階調による表示を実現するようになっている。画素への具体的な電圧印加の態様およびサブフィールドSf1~Sf7の時間長は、以下の通りである。

【0105】例えば、ある画素に対して階調データ(LH)が与えられた場合、すなわち、前記画素の透過率を14.3%とする階調表示を行う場合、1フィールド(1f)のうち、サブフィールドSf1においては前記画素の液晶層に対して電圧VHを印加する一方、他のサブフィールドSf2~Sf7においては前記液晶層に対して電圧VL(=0V)を印加する。ここで、実効電圧値は、電圧瞬時値の2乗を1周期(1フィールド)にわたって平均化した平方根で求められるから、サブフィールドSf1を、1フィールド(1f)に対して(V1/VH)<sup>1/2</sup>となる期間に設定すれば、上記の電圧印加によって1フィールド(1f)に液晶層に印加される実効電



圧値は $V_1$ となる。

【0106】また、例えば、ある画素に対して階調データ(LHL)が与えられた場合、すなわち、前記画素の透過率を28.6%とする階調表示を行う場合、1フィールド(1f)のうち、サブフィールドSf1~Sf2においては前記画素の液晶層に対して電圧VHを印加する一方、他のサブフィールドSf3~Sf7においては前記液晶層に対して電圧VLを印加する。ここで、サブフィールドSf1~Sf2を、1フィールド(1f)に対して $(V_2/VH)^1$ となる期間に設定すれば、上記電圧印加によって1フィールド(1f)に前記液晶層に印加される実効電圧値は $V_2$ となる。上述したように、サブフィールドSf1は、 $(V_1/VH)^1$ となる期間に設定されているから、サブフィールドSf2については、 $(V_2/VH)^1 - (V_1/VH)^1$ となる期間に設定すればよい。

【0107】同様に、例えば、ある画素に対して階調データ(LHH)が与えられた場合、すなわち、前記画素の透過率を42.9%とする階調表示を行う場合、1フィールド(1f)のうち、サブフィールドSf1~Sf3では前記画素の液晶層に対して電圧VHを印加する一方、他のサブフィールドSf4~Sf7では液晶層に対して電圧VLを印加する。このため、サブフィールドSf1~Sf3を、1フィールド(1f)に対して $(V_3/VH)^1$ となる期間に設定すれば、上記電圧印加によって前記液晶層に印加される実効電圧値は $V_3$ となる。ここで、サブフィールドSf1~Sf2は、上述したように $(V_2/VH)^1$ となる期間に設定されているので、サブフィールドSf3については、 $(V_3/VH)^1 - (V_2/VH)^1$ となる期間に設定すればよいことが判る。

【0108】以下、同様にして、他のサブフィールドSf4~Sf6の期間がそれぞれ決定される。また、サブフィールドSf7については、最終的に、1フィールドからサブフィールドSf1~Sf6を除いた期間に設定される。ただし、上述したように、各サブフィールドSf1~Sf7の合計の時間長として、1フィールド(1f)に対して $(V_7/VH)^1$ 以上の時間長が確保される必要がある。もっとも、サブフィールドSf1~Sf7の合計の時間長が、1フィールドに対して $(V_7/VH)^1$ となる時間長よりも長くなったとしても、すなわち、液晶層に印加される実効電圧値が図4における $V_7$ を越えたとしても、飽和性であるがゆえに透過率は100%となる。

【0109】このように、本実施形態においては、1フィールドにおいて液晶層に印加する電圧の態様が上記第1実施形態におけるものと異なっているため、階調信号生成回路23によって出力される階調信号P0、P1およびP2は、上記第1実施形態における階調信号とは異なるものとなっている。

【0110】図10(a)は、本実施形態における階調信号P0~P2の波形を示すタイミングチャートである。同図に示すように、各階調信号は、1フィールド内の各サブフィールド単位で、HレベルまたはLレベルのいずれかとなるように設定されている。本実施形態においては、図10(a)に示すように、階調信号P0~P2として、「1」~「7」までをカウントする3ビットカウンタの出力信号を用いる。すなわち、階調信号P0、P1およびP2は、サブフィールドSf1においては、それぞれHレベル、Lレベル、Lレベルとなってカウンタ値「1」を示し、サブフィールドSf2においては、それぞれLレベル、Hレベル、Lレベルとなってカウンタ値「2」を示し、サブフィールドSf3においては、それぞれHレベル、Hレベル、Lレベルとなってカウンタ値「3」を示すといった具合である。

【0111】次に、図8は、本実施形態に係る電気光学装置の画素13aの具体的な構成を示す回路図である。ここで、図8に示すメモリセル130は、上記第1実施形態において図3に示したものと同様のものである。ただし、このメモリセル130内のインバータ1302の出力(/Q出力)が後段の階調制御回路138に供給される点で、上記第1実施形態と異なっている。

【0112】図8に示すように、階調制御回路138aは、メモリ130bの/Q出力、および階調信号P1が入力されるORゲートと、メモリ130cの/Q出力および階調信号P2が入力されるORゲートと、3個のANDゲートおよび最終出力のORゲートとから構成される比較回路である。そしてさらに、階調制御回路138aの出力信号が入力信号として与えられるインバータ133を備えている。以下では、図8に示すインバータ133の出力信号をパルス信号PWと呼ぶ。

【0113】かかる構成により、階調信号生成回路23から供給される階調信号P0~P2と、各メモリセル130に書き込まれた階調データD0~D2を比較し、階調信号P0~P2のカウンタ値が階調データD0~D2の値以下である場合にはHレベルのパルス信号PWが出力され、階調信号P0~P2のカウンタ値が階調データD0~D2の値より大きくなる場合にはLレベルのパルス信号PWが出力される。そしてこの結果、階調データD0~D2に応じた時間密度を有するパルス信号PWが得られるのである。なお、階調制御回路138aおよびインバータ133は、階調データD0~D2に応じた時間密度を有するパルス信号PWを出力できるものであればよく、図8に示した構成に限られるものでないことはもちろんである。

【0114】次に、図9に示す真理値表、および図10(b)に示すタイミングチャートを参照して、階調データD0~D2および階調信号P0~P2と、パルス信号PWとの関係について説明する。

【0115】図9および図10(b)に示すように、画

素 13 a 内の各メモリセル 130 に階調データ (LL) が書き込まれた場合には、すべてのサブフィールドにおいてパルス信号 PW は L レベルとなる。つまり、この場合、前記階調データに対応する値は「0」である。一方、図 10 (a) に示すように、比較対象である階調信号のカウント値が「0」以下となる場合はない。この結果、図 9 および図 10 (b) に示すように、パルス信号 PW はすべてのサブフィールドにおいて L レベルとなる。

【0116】次に、画素 13 a 内の各メモリセル 130 に階調データ (LLH) が書き込まれた場合、階調信号のカウント値が、前記階調データ (LLH) に対応する値「1」以下である場合にパルス信号 PW が H レベルとなる一方、カウント値が値「1」よりも大きい場合にはパルス信号 PW が L レベルとなる。ここで、図 10

(a) に示すように、階調信号のカウント値が「1」以下となるのは、サブフィールド S f 1 においてのみである。従って、パルス信号 PW は、図 9 および図 10

(b) に示すように、サブフィールド S f 1 においてのみ H レベルとなり、その他のサブフィールド S f 2 ~ S f 7 (すなわち、階調信号のカウント値が値「1」よりも大きくなるサブフィールド) においては L レベルとなる。

【0117】次に、値「2」に対応する階調データ (LHL) がメモリセル 130 に書き込まれた場合を想定する。図 10 (a) に示すように、階調信号のカウント値が前記値「2」以下となるのは、サブフィールド S f 1 および S f 2 においてのみである。従って、この場合、図 9 および図 10 (b) に示すように、パルス信号 PW はサブフィールド S f 1 および S f 2 において H レベルとなる一方、その他のサブフィールド S f 3 ~ S f 7 (すなわち、階調信号のカウント値が階調データの値「2」よりも大きくなるサブフィールド) においては L レベルとなる。他の階調データが与えられた場合も同様である。このように、本実施形態においては、与えられた階調データの値と階調信号のカウント値とが比較され、パルス信号 PW のレベルがこの比較結果に応じたものとなる。換言すれば、上記比較結果に応じて、パルス信号 PW が H レベルとなるサブフィールド、および L レベルとなるサブフィールドが決定されるのである。

【0118】次に、図 11 を参照して、上記のような波形を有するパルス信号 PW が出力されることにより、各画素 13 a の画素電極 135 に対して印加される電圧 V について説明する。なお、図 11 においては、図 7 と同様、各階調データに応じて画素電極 135 に印加される電圧 V の上側に、前記階調データに応じたパルス信号 PW (図 10 (b) に示したもの) が併記されている。

【0119】まず、階調データが (LLL) である場合、パルス信号 PW は、すべてのサブフィールドにわたって L レベルとなる。従って、前記画素 13 a の画素電

極 135 には、すべてのサブフィールドにわたって交流化駆動信号 FR が印加される。この結果、前記画素 13 a は、すべてのサブフィールドにわたってオフ状態となるから、透過率は階調データ (LLL) に応じて 0 % となる。

【0120】次に、階調データが (LLH) である場合、パルス信号 PW は、サブフィールド S f 1 において H レベルとなり、その他のサブフィールド S f 2 ~ S f 7 において L レベルとなる。従って、サブフィールド S f 1 においては、前記画素 13 a の画素電極 135 には交流化駆動信号 FR をレベル反転した信号 /FR が印加されて前記画素 13 a はオン状態となる一方、サブフィールド S f 2 ~ S f 7 においては、前記画素 13 a の画素電極 135 には交流化駆動信号 FR が印加されて前記画素 13 a はオフ状態となる。ここで、サブフィールド S f 1 は、1 フィールド (1 f) に対して  $(V_1/V_H)^2$  となる時間長に設定されているから、前記 1 フィールドにおいて画素 13 a の液晶層に印加される実効電圧値は図 4 に示した  $V_1$  となる。従って、前記画素 13 a の透過率は、階調データ (LLH) に応じて 14.3 % となる。

【0121】さらに、階調データが (LHL) である場合、パルス信号 PW は、サブフィールド S f 1 および S f 2 において H レベルとなり、その他のサブフィールド S f 3 ~ S f 7 においては L レベルとなる。従って、サブフィールド S f 1 ~ S f 2 においては画素 13 a の液晶層に電圧  $V_H$  が印加されてオン状態となる一方、サブフィールド S f 3 ~ S f 7 においては前記画素 13 a の液晶層に電圧  $V_L (=0V)$  が印加されてオフ状態となる。ここで、サブフィールド S f 1 ~ S f 2 は、1 フィールド (1 f) に対して  $(V_2/V_H)^2$  となる時間長に設定されているから、前記 1 フィールド (1 f) において画素 13 a の液晶層に印加される実効電圧値は図 4 に示した  $V_2$  となる。従って、前記画素 13 a の透過率は、階調データ (LHL) に応じて 28.6 % となる。

【0122】その他の階調データが与えられた場合も同様である。すなわち、パルス信号 PW が H レベルとなるサブフィールドにおいては、画素電極 135 に対して信号 /FR が印加されて、前記画素 13 a はオン状態となる一方、パルス信号 PW が L レベルとなるサブフィールドにおいては、画素電極 135 に対して交流化駆動信号 FR が印加されて、前記画素 13 a はオフ状態となる。そしてこの結果、前記画素 13 a の液晶層には、階調データに応じた実効電圧が与えられ、階調データに応じた透過率が得られるのである。

【0123】本実施形態によれば、上記第 1 実施形態と同様の効果のほか、以下の効果を得ることができる。

【0124】上記第 1 実施形態においては、構成が簡易であるという利点はあるものの、各サブフィールドの時間長に対して所定の重み付けがなされているため、その

重み付けの仕方に応じて液晶層に印加し得る実効電圧（またはその刻み幅）が決まってしまう。ここで、液晶には様々な電圧／透過率特性を有するものが存在するから、使用する液晶によっては、所望の透過率に対応した実効電圧を液晶層に印加できない場合が生じ得るのである。つまり、上記第1実施形態に係る方法を用いた場合、様々な電圧／透過率特性を有する液晶に柔軟に対応するのが困難であるという問題が生じ得る。

【0125】これに対し、本実施形態によれば、各サブフィールドの時間長を、用いる液晶の電圧／透過率特性に応じて任意に設定することができる。すなわち、所望の透過率に応じた実効電圧を液晶層に印加し得るように、各サブフィールドの時間長を、使用する液晶の電圧／透過率特性に応じて任意に設定することができるのである。このように、本実施形態によれば、上記第1実施形態に係る方法と比較して、様々な電圧／透過率特性を有する液晶に対して柔軟に対応することができるという利点がある。

【0126】ここで、本実施形態においては、階調信号生成回路23において生成される各階調信号のレベル反転の周期を変更することにより、各サブフィールドの時間長を変更することができる。この結果、各サブフィールドの時間長を、用いる液晶の電圧／透過率特性および所望の透過率に対応するように調整することが極めて容易であるという利点がある。

【0127】D：第3実施形態

次に、本発明の第3実施形態に係る電気光学装置について説明する。

【0128】本実施形態に係る電気光学装置は、階調信号の態様および画素の構成を除いて、上記各実施形態に係る電気光学装置と同様の構成となっている。従って、上記各実施形態に係る電気光学装置と共通する部分についてはその説明を省略する。

【0129】本実施形態においては、1フィールドを8個のサブフィールドSf0～Sf7に分割し、各サブフィールド単位で画素13bをオン状態またはオフ状態とすることにより8階調による表示を実現するようになっている。ただし、1フィールドを分割した8個のサブフィールドSf0～Sf7のうち、最初のサブフィールドSf0においては、階調データとは無関係に画素13bをオフ状態とするようになっている。

【0130】なお、サブフィールドSf0は、1フィールド(1f)に対して $1 - (V7/VH)^2$ となる期間に設定されている必要があり、このため、サブフィールドSf7は1フィールド(1f)に対して $(V7/VH)^2 - (V6/VH)^2$ となる期間に設定されることになる（詳細は後述する）。

【0131】その他のサブフィールドSf1～Sf6においては、上記第2実施形態と同様の態様により画素13bがオン状態またはオフ状態とされる。

【0132】また、本実施形態において用いられる階調信号P0～P2は、サブフィールドSf1～Sf7においては上記第2実施形態における階調信号P0～P2と同様の態様となるが、サブフィールドSf0においては、図14(a)に示すように、すべての階調信号P0、P1およびP2がLレベルとなる。

【0133】次に、図12は、本実施形態に係る電気光学装置の画素13bの具体的な構成を示す回路図である。同図に示すように、本実施形態における画素13bは、一部を除いて図8に示した上記第2実施形態における画素13aと同様の画素回路構成となっている。具体的には、本実施形態における画素13bは、上記第2実施形態における画素13a内の各部の他、階調信号P0、P1およびP2が入力信号として与えられるNORゲート139aと、このNORゲート139aの出力信号、および階調制御回路138aの出力信号が入力信号として与えられるNORゲート139bとを備えている。なお、以下では、図12に示すNORゲート139bの出力信号をパルス信号PWと呼ぶ。

【0134】図13は、階調データD0～D2および階調信号P0～P2と、画素13b内のNORゲート139bから出力されるパルス信号PWとの関係を示す真理値表であり、図14(b)は、各階調データD0～D2に応じたパルス信号PWの波形を示すタイミングチャートである。上述したように、階調信号P0～P2は、サブフィールドSf0においてLレベルとなる。この場合、図12に示した画素13b内のNORゲート139aからはHレベルの信号が出力され、この信号がNORゲート139bに入力される。この結果、図13および図14(b)に示すようにパルス信号PWは階調データに関わらずLレベルとなるのである。なお、図13および図14(b)に示すように、サブフィールドSf0以外のサブフィールドSf1～Sf7におけるパルス信号PWのレベルは、前掲図10(b)に示したパルス信号PWのレベルと同様となる。

【0135】次に、図15を参照して、上記のような波形を有するパルス信号PWがNORゲート139bから出力されることにより、各画素13bの画素電極135に対して印加される電圧について説明する。

【0136】例えば、階調データが(LLH)である場合、パルス信号PWは、サブフィールドSf1においてHレベルとなり、その他のサブフィールドSf0およびSf2～Sf7においてLレベルとなる。従って、この場合、サブフィールドSf1においてのみ画素13bがオン状態となるから、前記画素13bの透過率は、階調データ(LLH)に応じて14.3%となる。

【0137】次に、階調データが(HHH)である場合、パルス信号PWは、サブフィールドSf0においてLレベルとなる一方、その他のサブフィールドSf1～Sf7においてHレベルとなる。従って、サブフィール

ド S f 0 においては画素 1 3 b はオフ状態となり、その他のサブフィールド S f 1 ~ S f 7 においては画素 1 3 b はオン状態となる。この結果、階調データ (HHH) に応じた透過率が得られるのである。

【0138】本実施形態によれば、上記各実施形態と同様の効果を得ることができるほか、階調データとは無関係に画素 1 3 b をオフ状態にするサブフィールドを設けたことにより、以下に示す効果を得ることができる。

【0139】図 4 には液晶の電圧／透過率特性の一例を示したが、すべての液晶がこのような特性を有するものではない。すなわち、液晶によっては、例えば図 16 に示すような電圧／透過率特性を有するものもある。すなわち、この液晶は、閾値 VTH2 以上の電圧が印加されると、印加電圧に応じて透過率が減少してしまうのである。

【0140】ところで、上記第 2 実施形態に係る電気光学装置において、階調データ (HHH) が与えられ、すべてのサブフィールドにおいて 1 3 a をオン状態にする電圧を前記画素 1 3 a に印加したとすると、1 フィールドにおいて液晶層に与えられる実効電圧値が上記電圧 VTH2 以上となることも考えられる。ここで、上記図 4 に示す電圧／透過率特性を有する液晶を用いている場合には、VTH2 以上の実効電圧が与えられた場合であっても階調データ (HHH) に応じて透過率 100% を得ることができるため、特に問題は生じない。しかしながら、図 16 に示した電圧／透過率特性を有する液晶を用いている場合には、VTH2 以上の実効電圧が与えられると、透過率が階調データ (HHH) に応じて 100% となるべきであるにもかかわらず、実際にはそれよりも低い透過率となってしまうのである。この結果、表示画像のコントラストが低くなってしまいう問題が生じる。

【0141】これに対し、本実施形態においては、階調データに関わらず画素 1 3 b をオフ状態にするサブフィールド S f 0 を設けている。従って、サブフィールド S f 0 以外のサブフィールド S f 1 ~ S f 7 にわたって画素 1 3 b をオン状態にした場合に前記画素 1 3 b の液晶層に対して実効電圧 VTH2 が与えられるように、サブフィールド S f 0 の時間長を選定すれば、上述した問題は生ずることなく、階調データ (HHH) に応じて透過率 100% が得られるのである。この結果、表示画像のコントラストを高くすることができるという利点がある。ここで、各サブフィールド S f 0 ~ S f 7 の時間長は、階調信号生成回路 2 3 において生成される各階調信号の周期を調整することにより、容易に変更することができる。

【0142】なお、本実施形態においては、各フィールドのうちの最初のサブフィールド S f 0 において画素 1 3 b をオフ状態とすることとしたが、かかるサブフィールド S f 0 は、必ずしも各フィールドのうちの最初の期

間である必要はない。また、かかるサブフィールドは、1 フィールド内に 1 つの期間に限られるものではなく、例えば、1 フィールド内の複数の区間（すなわち、各サブフィールド S f 1 ~ S f 7 の間の区間）で、階調データとは無関係に画素をオフ状態にするようにしてもよい。

【0143】E：変形例

以上この発明の一実施形態について説明したが、上記実施形態はあくまでも例示であり、上記実施形態に対しては、本発明の趣旨から逸脱しない範囲で様々な変形を加えることができる。変形例としては、例えば以下のようなものが考えられる。

【0144】＜変形例 1＞上記実施形態においては、交流化駆動信号 F R のレベル反転のタイミングを、フィールドの切り換わりタイミングと同期させるようにしたが、必ずしもこうする必要はない。すなわち、交流化駆動信号 F R の切り換わりタイミングは、フィールドの切り換わりタイミングと全く無関係であってもよい。従って、交流化駆動信号 F R のレベル反転の周期を、フリッカの発生が最も少なくなる周期に設定することもできる。例えば、1 サブフィールド毎に交流化駆動信号 F R をレベル反転させたり、1 フィールド内の複数のサブフィールド毎に交流化駆動信号 F R をレベル反転させたり、またはフィールドおよびサブフィールドの周期とは全く異なる周期で交流化駆動信号 F R をレベル反転させたりすることもできる。このように F R をレベル反転させることによって、液晶層へ印加する電圧の極性反転周期を短くできるので、フリッカ発生を抑えることができる。なお、F R を 1 フィールドより短い期間でレベル反転させても、液晶 1 3 7 に印加される電圧の極性が反転されるだけであるために、1 フィールド内での液晶への実効電圧は先の各実施形態と実質的に同じである。

【0145】＜変形例 2＞上記実施形態においては、対向電極 1 3 6 に対して 1 フィールド毎にレベル反転を繰り返す交流化駆動信号 F R を印加するとともに、画素 1 3 をオン状態にする場合には画素電極 1 3 5 に対して交流化駆動信号 F R の反転レベルの信号 / F R を印加し、画素 1 3 をオフ状態にする場合には画素電極 1 3 5 に対して交流化駆動信号 F R を印加することにより、液晶層に対して電圧 V H または V L を印加するようにした。しかしながら、液晶層に対して電圧 V H または V L を印加するための方法は、これに限られるものではなく、例えば以下のようにしてもよい。

【0146】本変形例においては、対向電極 1 3 6 に対して一定の電圧 V c を印加する一方、画素電極 1 3 5 に対して電圧 V 1、V c または V 2 のうちのいずれかを印加することにより画素 1 3 をオン状態またはオフ状態とする。ここで、電圧 V 1 は、電圧 V c と比較して電圧 V H だけ高い電圧であり、電圧 V 2 は、電圧 V c と比較して電圧 V H だけ低い電圧である。

【0147】本変形例においては、図2（または図8、図12）に示したトランスミッションゲート134aの入力端に電圧Vcが供給される一方、トランスミッションゲート134bの入力端には、交流化駆動信号FRのレベルに応じて、電圧V1またはV2のうちのいずれかが供給されるようになっている。具体的には、交流化駆動信号FRがHレベルの場合には電圧V1が、Lレベルの場合には電圧V2が、それぞれトランスミッションゲート134bの入力端に供給されるようになっている。

【0148】以下、図17を参照して、本変形例において画素電極135に印加される電圧Vについて説明する。なお、図17においては、上記第1実施形態に係る電気光学装置に本変形例を適用した場合に、画素電極135に対して印加される電圧を例示している。

【0149】（1）画素13をオフ状態にする場合  
画素13をオフ状態にすべきサブフィールド、すなわち、上述したパルス信号PWがLレベルとなるサブフィールドにおいては、トランスミッションゲート134aがオン状態となる結果、画素電極135に対して電圧Vcが印加される。ここで、対向電極136には電圧Vcが印加されているから、前記画素13の液晶層に印加される電圧はVL（＝0V）となり、画素13はオフ状態となる。

【0150】（2）画素13をオン状態にする場合  
画素13をオン状態にすべきサブフィールド、すなわち、上述したパルス信号PWがHレベルとなるサブフィールドにおいては、トランスミッションゲート134bがオン状態となる結果、交流化駆動信号FRのレベルに応じて、電圧V1またはV2のいずれかが画素電極135に印加される。なお、図17においては、交流化駆動信号FRが、1フィールド毎にレベル反転を繰り返す場合を想定している。

【0151】具体的には、画素13をオン状態にする場合に、交流化駆動信号FRがHレベルであれば、画素電極135に対して上記電圧V1が印加される。この結果、前記画素13の液晶層には、電圧V1と電圧Vcとの差電圧である電圧VHが印加されるから、画素13はオン状態となる。一方、画素13をオン状態にする場合に、交流化駆動信号FRがLレベルであれば、画素電極135に対して上記電圧V2が印加される。この結果、前記画素13の液晶層には、電圧V2と電圧Vcとの差電圧である電圧VHが印加されるから、画素13はオン状態となる。ここで、交流化駆動信号FRがHレベルとなるフィールドにおいて液晶層に印加される電圧と、交流化駆動信号FRがLレベルとなるフィールドにおいて液晶層に印加される電圧とは、絶対値が等しく、かつその極性が逆となるのである。

【0152】このように、本変形例に係る方法を採用した場合にも、上記各実施形態と同様、液晶に対して直流成分が印加されるのを回避することができる結果、液晶

の劣化を防止することができる。なお、本変形例においても、上記変形例1と同様、交流化駆動信号FRのレベル反転のタイミングを、フィールドまたはサブフィールドの切り換えタイミングと同期させなくてもよいのはもちろんである。

【0153】F：液晶装置の全体構成

次に、上記実施形態や応用形態に係る電気光学装置の構造について、図18および図19を参照して説明する。ここで、図18は、電気光学装置100の構成を示す平面図であり、図19は、図18におけるA-A'線の断面図である。

【0154】これらの図に示されるように、電気光学装置100は、画素13などが形成された素子基板10と、対向電極136などが形成された対向基板14とが、互いにシール材15によって一定の間隙を保って貼り合わせられるとともに、この間隙に電気光学材料としての液晶137が挟持された構造となっている。なお、実際には、シール材15には切欠部分があって、ここを介して液晶137が封入された後、封止材により封止されるが、これらの図においては省略されている。

【0155】ここで、素子基板10を上述したように半導体基板とした場合、基板は不透明である。このため、画素13内の画素電極135は、アルミニウムなどの反射性金属により形成されて、電気光学装置100は、反射型として用いられることになる。これに対して、対向基板14は、ガラスなどから構成されるので透明である。もちろん、素子基板10をガラス等の透明な絶縁基板で構成しても構わない。このような絶縁基板を用いた場合、画素電極135を反射性金属により形成すれば反射型表示、それ以外の材質により形成すれば透過型表示とすることができる。また、画素電極135を反射性金属により形成した場合には、上述した画素13を構成する各回路、すなわちメモリセル130、階調制御回路138ならびにトランスミッションゲート134aおよび134b等を、上記画素電極135に対して観察側とは反対側に設ける構成とすることが望ましい。こうすれば、各画素電極間にこれらの回路を形成するための領域を設けることが不要となるため、各画素の開口率を向上させることができるという効果が得られる。

【0156】さて、素子基板10において、シール材15の内側かつ表示領域10aの外側領域には、遮光膜16が設けられている。この遮光膜16が形成される領域内のうち、例えば、領域20aにはYアドレスバッファ210およびYアドレスデコーダ211等が形成され、また、領域21aにはXアドレスバッファ220、Xアドレスデコーダ221およびサンプル・ホールド回路222等が形成される。すなわち、遮光膜16は、この領域に形成される駆動回路に光が入射するのを防止している。この遮光膜16には、対向電極136とともに、交流化駆動信号FRが印加される構成となっている。この

ため、遮光膜 16 が形成された領域では、液晶層への印加電圧がほぼゼロとなるので、画素電極 13 の電圧無印加状態と同じ表示状態となる。

【0157】また、素子基板 10 において、領域 21a の外側であって、シール材 15 を隔てた領域 22 には、複数の接続端子が形成されて、外部からの制御信号（例えば、上記動作制御回路 20 に供給される各信号）や階調データ、電源等を入力する構成となっている。

【0158】一方、対向基板 14 の対向電極 136 は、基板貼合部分における 4 隅のうち、少なくとも 1 箇所において設けられた導通材（図示省略）によって、素子基板 10 における遮光膜 16 および接続端子と電気的な導通が図られている。すなわち、交流化駆動信号 FR は、素子基板 10 に設けられた接続端子を介して、遮光膜 16 に、さらに、導通材を介して対向電極 136 に、それぞれ印加される構成となっている。

【0159】ほかに、対向基板 14 には、電気光学装置 100 の用途に応じて、例えば、直視型であれば、第 1 に、ストライプ状や、モザイク状、トライアングル状等に配列したカラーフィルタが設けられ、第 2 に、例えば、金属材料や樹脂などからなる遮光膜（ブラックマトリクス）が設けられる。なお、色光変調の用途の場合、例えば、後述するプロジェクタのライトバルブとして用いる場合には、カラーフィルタは形成されない。また、直視型の場合、電気光学装置 100 に光を対向基板 14 側から照射するフロントライトが必要に応じて設けられる。くわえて、素子基板 10 および対向基板 14 の電極形成面には、それぞれ所定方向にラビング処理された配向膜（図示省略）などが設けられて、電圧無印加状態における液晶分子の配向方向を規定する一方、対向基板 14 の側には、配向方向に応じた偏光子（図示省略）が設けられる。ただし、液晶 137 として、高分子中に微小粒として分散させた高分子分散型液晶を用いれば、前述の配向膜や偏光子などが不要となる結果、光利用効率が高まるので、高輝度化や低消費電力化などの点において有利である。

【0160】また、実施形態においては、電気光学装置を構成する素子基板 10 を半導体基板としたため、ここに、各画素 13 内のメモリセルまたは各ゲート等や、周辺回路の構成素子等を、MOS 型 FET で形成するのが好ましいが、本発明は、これに限られない。例えば、素子基板 10 を、ガラスや石英などの非晶質基板とし、ここに半導体薄膜を堆積して薄膜トランジスタ（TFT）を形成する構成としても良い。このように TFT を用いると、素子基板 10 として透明基板を用いることができる。

【0161】なお、液晶としては、TN 型のほか、180 度以上のねじれ配向を有する STN（Super Twisted Nematic）型や、BTN（Bi-stable Twisted Nematic）型・強誘電型などのメモリ性を有する双安定型、高分子

分散型、さらには、分子の長軸方向と短軸方向とで可視光の吸収に異方性を有する染料（ゲスト）を一定の分子配列の液晶（ホスト）に溶解して、染料分子を液晶分子と平行に配列させたゲストホスト型などの液晶を用いることもできる。

【0162】また、電圧無印加時には液晶分子が両基板に対して垂直方向に配列する一方、電圧印加時には液晶分子が両基板に対して水平方向に配列する、という垂直配向（ホメオトロピック配向）の構成としても良いし、電圧無印加時には液晶分子が両基板に対して水平方向に配列する一方、電圧印加時には液晶分子が両基板に対して垂直方向に配列する、という平行（水平）配向（ホモジニアス配向）の構成としても良い。さらに、対向基板 14 に対向電極 136 を配置するのではなく、素子基板 10 上に、画素電極 135 と対向電極 136 とを、互いに間隔を置いて櫛歯状に配置する構成としても良い。この構成では、液晶分子が水平配向して、電極間による横方向の電界に応じて液晶分子の配向方向が変化することになる。このように、本発明の駆動方法に適合するものであれば、液晶や配向方式として、種々のものを用いることが可能である。

【0163】くわえて、電気光学装置としては、液晶装置のほかに、エレクトロルミネッセンス（EL）や、デジタルマイクロミラーデバイス（DMD）、プラズマ発光や電子放出による蛍光などを用いて、その電気光学効果により表示を行う装置などの種々の電気光学装置に適用可能である。この場合、電気光学材料としては、EL、ミラーデバイス、ガス、蛍光体などとなる。なお、電気光学材料として EL を用いる場合、素子基板 10 において EL が画素電極 135 と透明導電膜の対向電極 136 との間に介在することになるので、図 18 および 19 に示した対向基板 14 は不要となる。このように、本発明は、上述した構成と類似の構成を有する電気光学装置、特に、オンまたはオフの 2 値的な表示を行う画素を用いて、階調表示を行う電気光学装置のすべてに適用可能である。

#### 【0164】G：電子機器

次に、上述した液晶装置を具体的な電子機器に用いた例のいくつかについて説明する。

#### 【0165】（1）プロジェクタ

まず、実施形態に係る電気光学装置をライトバルブとして用いたプロジェクタについて説明する。図 20 は、このプロジェクタの構成を示す平面図である。この図に示されるように、プロジェクタ 1100 内部には、偏光照明装置 1110 がシステム光軸 PL に沿って配置している。この偏光照明装置 1110 において、ランプ 1112 からの出射光は、リフレクタ 1114 による反射で略平行な光束となって、第 1 のインテグレートレンズ 1120 に入射する。これにより、ランプ 1112 からの出射光は、複数の中間光束に分割される。この分割された

中間光束は、第2のインテグレートレンズを光入射側に有する偏光変換素子1130によって、偏光方向がほぼ揃った種類の偏光光束（s偏光光束）に変換されて、偏光照明装置1110から出射されることとなる。

【0166】さて、偏光照明装置1110から出射されたs偏光光束は、偏光ビームスプリッタ1140のs偏光光束反射面1141によって反射される。この反射光束のうち、青色光（B）の光束がダイクロイックミラー1151の青色光反射層にて反射され、反射型の電気光学装置100Bによって変調される。また、ダイクロイックミラー1151の青色光反射層を透過した光束のうち、赤色光（R）の光束は、ダイクロイックミラー1152の赤色光反射層にて反射され、反射型の液電気光学装置100Rによって変調される。一方、ダイクロイックミラー1151の青色光反射層を透過した光束のうち、緑色光（G）の光束は、ダイクロイックミラー1152の赤色光反射層を透過して、反射型の電気光学装置100Gによって変調される。

【0167】このようにして、電気光学装置100R、100G、100Bによってそれぞれ色光変調された赤色、緑色、青色の光は、ダイクロイックミラー1152、1151、偏光ビームスプリッタ1140によって順次合成された後、投写光学系1160によって、スクリーン1170に投写されることとなる。なお、電気光学装置100R、100Gおよび100Bには、ダイクロイックミラー1151、1152によって、R、G、Bの各原色に対応する光束が入射するので、カラーフィルタは必要ない。

【0168】なお、本実施形態においては、反射型の電気光学装置を用いたが、透過型表示の電気光学装置を用いたプロジェクタとしても構わない。

【0169】（2）モバイル型コンピュータ  
次に、上記電気光学装置を、モバイル型のパーソナルコンピュータに適用した例について説明する。図21は、このパーソナルコンピュータの構成を示す斜視図である。図において、コンピュータ1200は、キーボード1202を備えた本体部1204と、表示ユニット1206とから構成されている。この表示ユニット1206は、先に述べた電気光学装置100の前面にフロントライトを付加することにより構成されている。

【0170】なお、この構成では、電気光学装置100を反射直視型として用いることになるので、画素電極135において、反射光が様々な方向に散乱するように、凹凸が形成される構成が望ましい。

【0171】（3）携帯電話機  
さらに、上記電気光学装置を、携帯電話機に適用した例について説明する。図22は、この携帯電話機の構成を示す斜視図である。図において、携帯電話機1400は、複数の操作ボタン1402のほか、受話口1404、送話口1406とともに、電気光学装置100を備

えるものである。この電気光学装置100にも、必要に応じてその前面にフロントライトが設けられる。また、この構成でも、電気光学装置100が反射直視型として用いられることになるので、画素電極135に凹凸が形成される構成が望ましい。

【0172】なお、電子機器としては、図20～図22を参照して説明した他にも、液晶テレビや、ビューファインダ型、モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、タッチパネルを備えた機器等などが挙げられる。そして、これらの各種電子機器に対して、上述した実施形態やその変形例に係る電気光学装置が適用可能なのは言うまでもない。

【0173】

【発明の効果】以上説明したように、本発明によれば、画素をオン状態およびオフ状態のいずれかにすることにより、高品位な階調表示が可能となる。また、本発明によれば、各画素がメモリを備え、前記メモリに記憶された階調データと、階調信号生成回路によって生成された階調信号とを演算処理した結果に応じて、各画素をオン状態またはオフ状態とするようになっているため、階調データの内容に変更がある画素に対してのみ階調データの書き込みを行えばよい。従って、消費電力を低く抑えることができる。

【図面の簡単な説明】

【図1】 本発明の第1実施形態に係る電気光学装置の全体構成を示すブロック図である。

【図2】 同電気光学装置の画素の構成を示す回路図である。

【図3】 同電気光学装置のメモリセルの構成を示す回路図である。

【図4】 液晶の電圧／透過率特性の一例を示す図である。

【図5】 同電気光学装置の画素の動作を示す真理値表である。

【図6】 （a）は、同電気光学装置の階調信号の波形を示すタイミングチャートであり、（b）は、同電気光学装置における画素内のパルス信号PWの波形を示すタイミングチャートである。

【図7】 同電気光学装置において各画素の画素電極に印加される電圧を示すタイミングチャートである。

【図8】 本発明の第2実施形態に係る電気光学装置の画素の構成を示す回路図である。

【図9】 同電気光学装置の画素の動作を示す真理値表である。

【図10】 （a）は、同電気光学装置の階調信号の波形を示すタイミングチャートであり、（b）は、同電気光学装置における画素内のパルス信号PWの波形を示すタイミングチャートである。

【図 11】 同電気光学装置において各画素の画素電極に印加される電圧を示すタイミングチャートである。

【図１２】 本発明の第３実施形態に係る電気光学装置の画素の構成を示す回路図である。

【図 13】 同電気光学装置の画素の動作を示す真理値表である。

【図 14】 (a) は、同電気光学装置の階調信号の波形を示すタイミングチャートであり、(b) は、同電気光学装置における画素内のパルス信号 P W の波形を示すタイミングチャートである。

【図15】 同電気光学装置において各画素の画素電極に印加される電圧を示すタイミングチャートである。

【図16】 液晶の電圧／透過率特性の他の一例を示す図である。

【図１７】 本発明の変形例に係る電気光学装置において各画素の画素電極に印加される電圧を示すタイミングチャートである。

【図 18】 本発明に係る電気光学装置の構造を示す平面図である。

【図 19】 同電気光学装置の構造を示す断面図である。 20

【図20】 同電気光学装置を適用した電子機器の一例たるプロジェクタの構成を示す断面図である。

【図 2 1】 同電気光学装置を適用した電子機器の一例たるモバイル型コンピュータの構成を示す斜視図である。

【図 2 2】 同電気光学装置を適用した電子機器の一例

たる携帯電話機の構成を示す斜視図である。

【符号の説明】

10 . . . . . 素子基板

1 0 a . . . . . 表示領域

1 1 . . . . . 行選択線

12, 12a, 12b, 120, 121, 122 . . .

・ ・ ・ 列選択線

13, 13a, 13b . . . . . 画素

130 a, 130 b, 130 c . . . . . メモリセル

10 1 3 3 . . . . . インバータ

134 a, 134 b . . . . . トランスミッションゲート

1 3 5 . . . . 画素電極

1 3 6 . . . . 対向電極

137 · · · · · 液晶

138, 138a · · · · · 階調制御回路

1 4 . . . . . 对向基板

15 . . . . . シール材

## 20 . . . . 動作制御回路

20 210 . . . . . Yアドレスバッファ

211 . . . . . Yアドレスデコーダ

220 . . . . . Xアドレスバッファ

221 . . . . . Xアドレスデコーダ

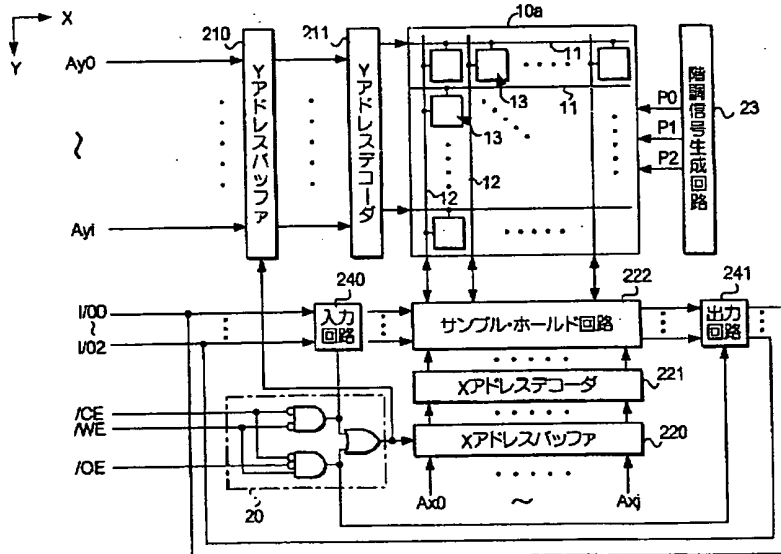
222 . . . . サンプル・ホールド回路

### 23 · · · · · 階調信号生成回路

240 · · · · · 入力回路

2 4 1 . . . . . 出力回路

【図 1】

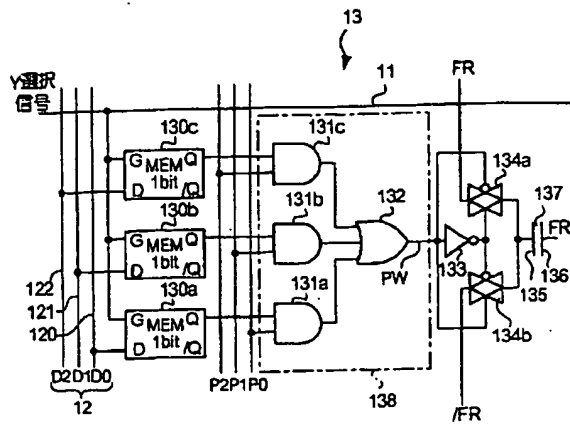


【図 5】

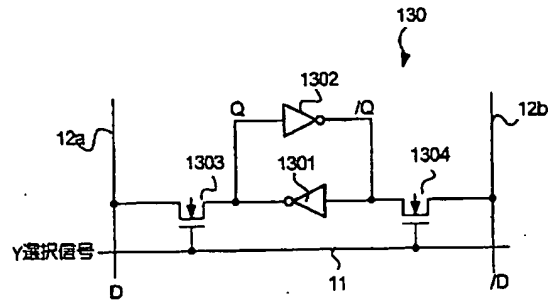
			P0	H	L	L
			P1	L	H	L
			P2	L	L	H
D2	D1	D0				
L	L	L		L	L	L
L	L	H		H	L	L
L	H	L		L	H	L
L	H	H		H	H	L
H	L	L		L	L	H
H	L	H		H	L	H
H	H	L		L	H	H
H	H	H		H	H	H



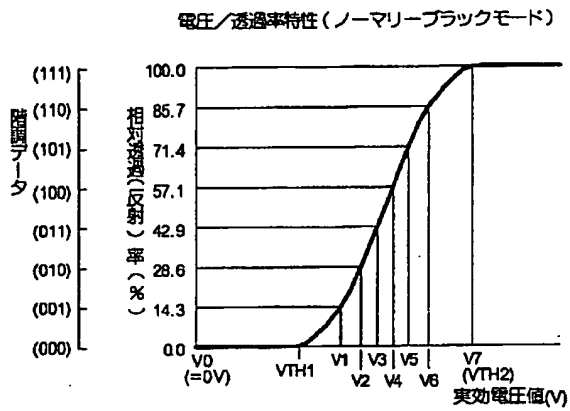
【図2】



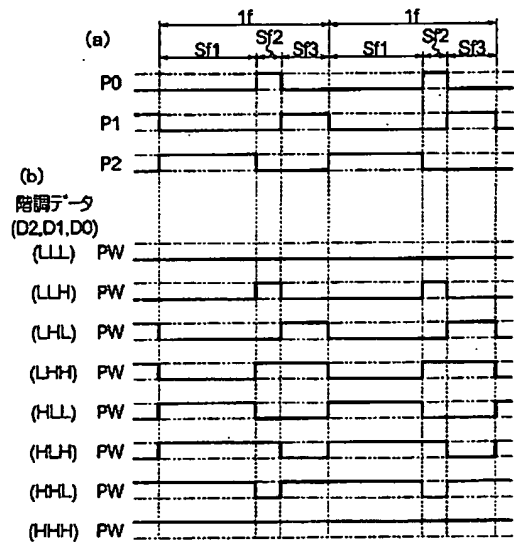
【図3】



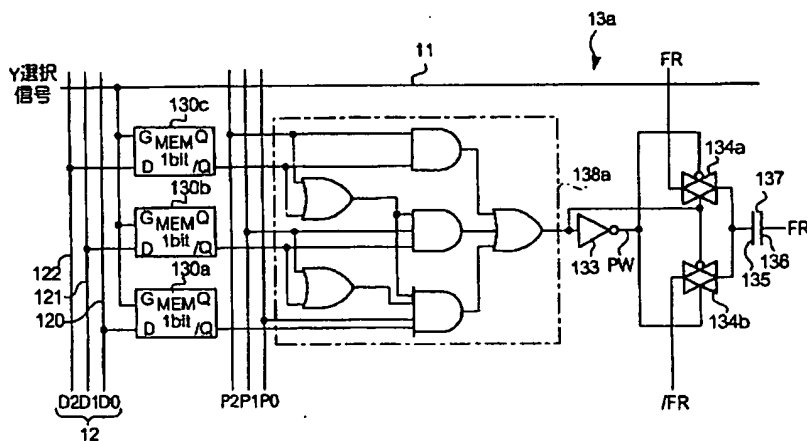
【図4】



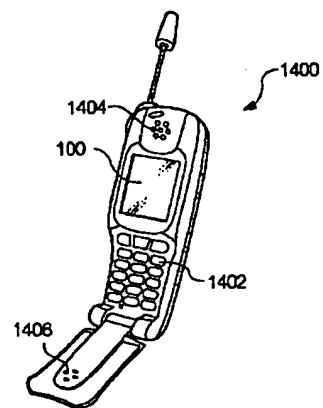
【図6】



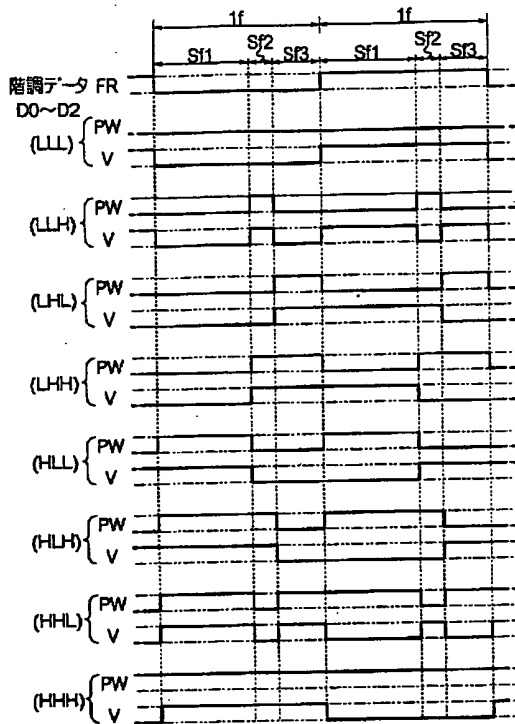
【図8】



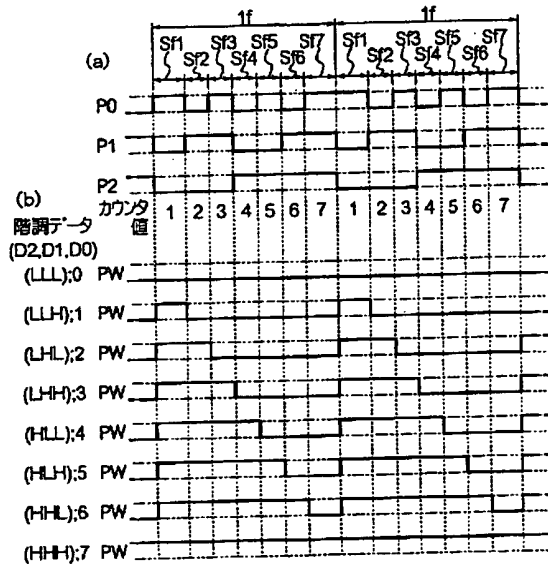
【図22】



【図 7】



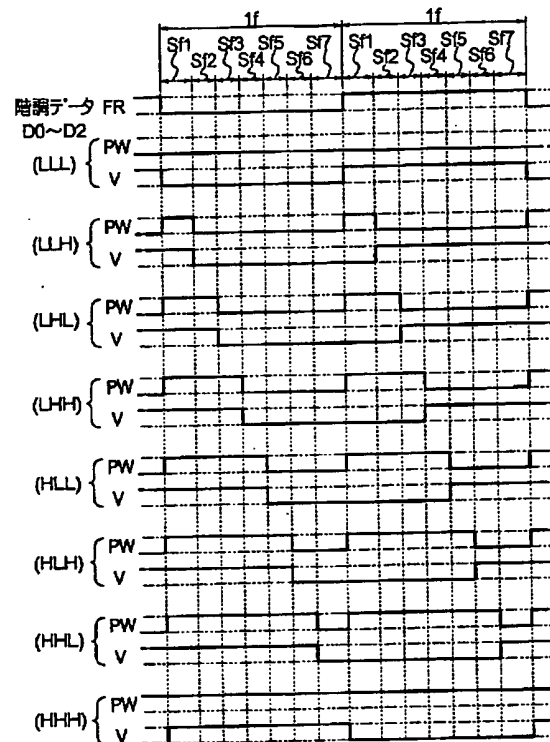
【図 10】



【図 9】

P0	H	L	H	L	H	L	H
P1	L	H	H	L	L	H	H
P2	L	L	L	H	H	H	H
D2 D1 D0 値	1	2	3	4	5	6	7
L L L	0	L	L	L	L	L	L
L L H	1	H	L	L	L	L	L
L H L	2	H	H	L	L	L	L
L H H	3	H	H	H	L	L	L
H L L	4	H	H	H	H	L	L
H L H	5	H	H	H	H	H	L
H H L	6	H	H	H	H	H	H
H H H	7	H	H	H	H	H	H

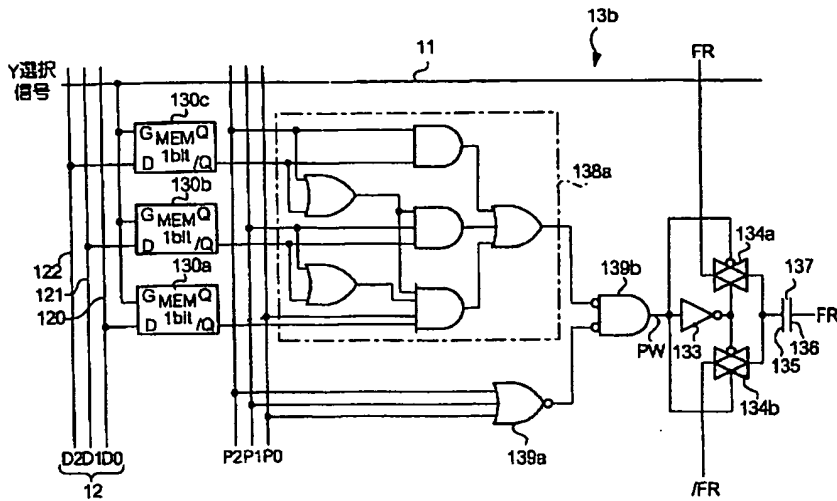
【図 11】



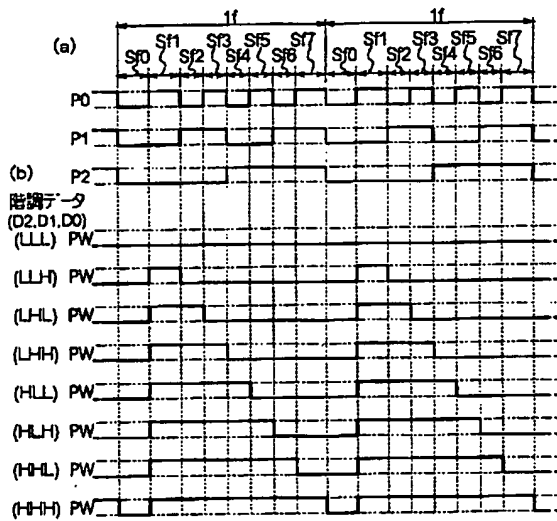
【図 13】

P0	L	H	L	H	L	H	L	H
P1	L	L	H	H	L	L	H	H
P2	L	L	L	L	H	H	H	H
D2 D1 D0	0	L	L	L	L	L	L	L
L L L	1	L	H	L	L	L	L	L
L L H	2	L	H	H	L	L	L	L
L H L	3	L	H	H	H	L	L	L
L H H	4	L	H	H	H	H	L	L
H L L	5	L	H	H	H	H	H	L
H L H	6	L	H	H	H	H	H	H
H H L	7	L	H	H	H	H	H	H
H H H	8	L	H	H	H	H	H	H

【図 12】

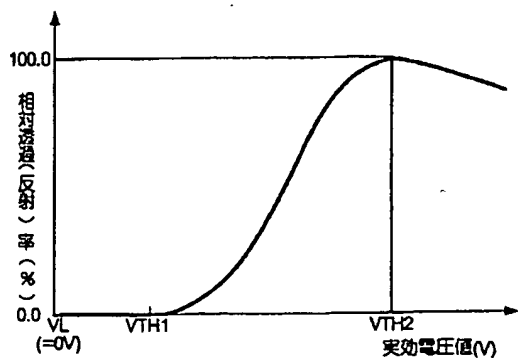


【図 14】

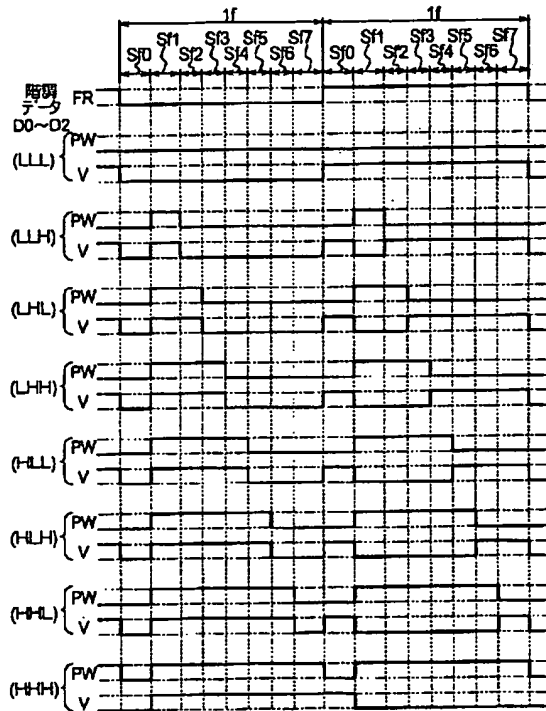


【図 16】

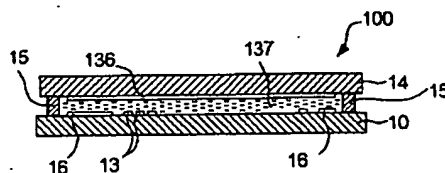
電圧/透過率特性(ノーマリーブラックモード)



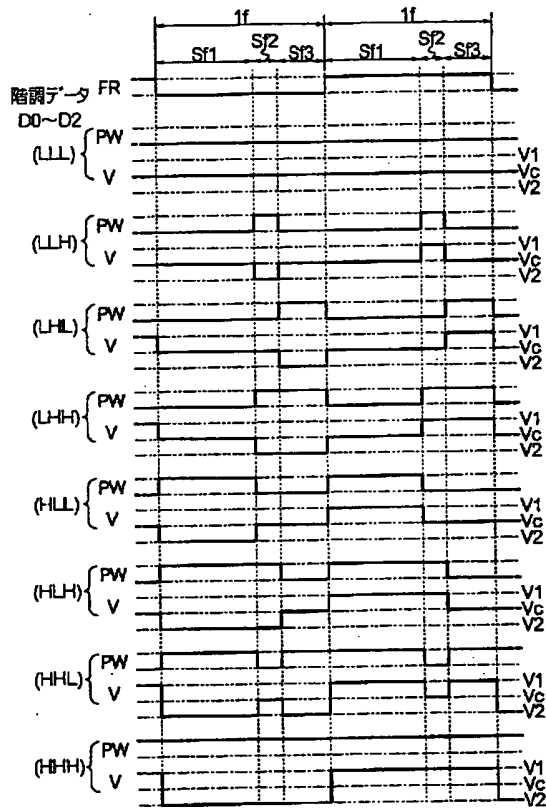
【図 15】



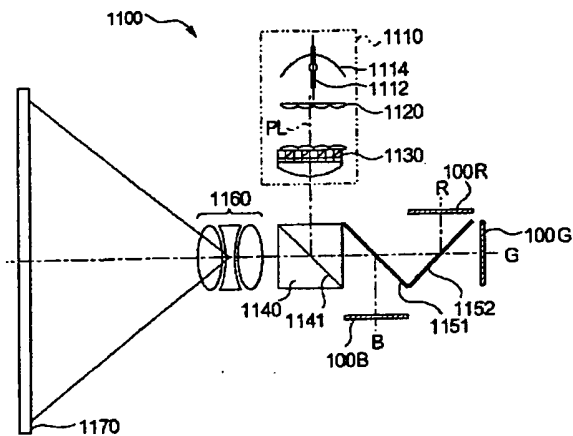
【図 19】



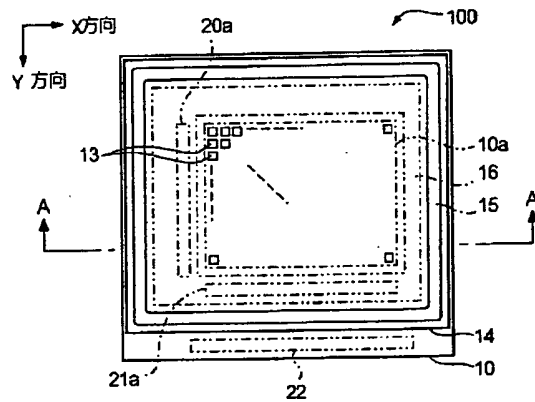
【図 17】



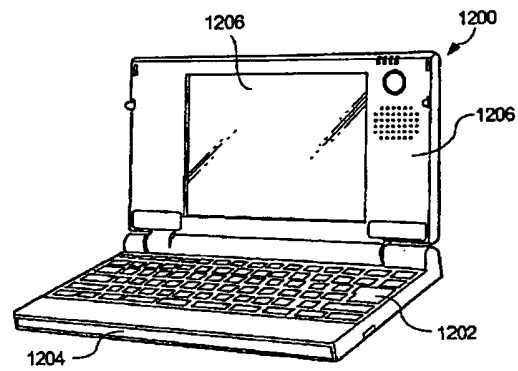
【図 20】



【図 18】



【図 21】



フロントページの続き

(51) Int. Cl.<sup>7</sup>  
G 0 9 G 3/20識別記号  
6 4 1F I  
G 0 9 G 3/20

ターマコード (参考)

6 4 1 A  
6 4 1 E

Fターム(参考) 2H093 NA06 NA51 NC23 NC34 ND39  
ND42 ND49 NE01 NE06  
5C006 AA14 AA15 BB16 BC03 BC06  
BC12 BC20 BF01 BF11 BF14  
BF22 BF26 BF27 EB05 FA47  
FA56  
5C080 AA10 BB05 DD26 EE29 FF11  
JJ02 JJ04 JJ05 JJ06

**This Page Blank (uspto)**